

低電圧動作 0.1 ミクロン 薄膜 SOI MOSFET の試作と特性評価

高宮 真 更屋拓哉 トランデュエト 田中 剛*

石黒仁揮 平本俊郎 生駒俊明*

東京大学生産技術研究所
〒106 東京都港区六本木7-22-1
e-mail : taka@nano.iis.u-tokyo.ac.jp

* (株) テキサス・インスツルメンツ 筑波研究開発センター

あらまし 0.1μm 薄膜 SOI MOSFET の設計・試作を行った。チャネルイオン注入 (BF₂) のエネルギーを SOI と埋め込み酸化膜の界面にピークがくるよう設計することによりパンチスルーストップの形成とチャネルのドープを1回のイオン注入で実現した。この簡便なプロセスにより均一ドープの場合と比較し短チャネル効果が抑制できることをシミュレーションにより示し、ゲート長 0.095μm の SOI MOSFET の動作を確認した。

キーワード SOI MOSFET、短チャネル効果、チャネルイオン注入、パンチスルーストップ

Fabrication and Characterization of Low Voltage 0.1 μ m Thin Film SOI MOSFETs

M.Takamiya, T.Saraya, T.N.Duyet, T.Tanaka*, H.Ishikuro, T.Hiramoto, and T.Ikoma*,

Institute of Industrial Science, University of Tokyo
7-22-1 Roppongi, Minato, Tokyo 106, Japan
e-mail:taka@nano.iis.u-tokyo.ac.jp

*Texas Instruments Tsukuba Research and Development Center Ltd.

Abstract Thin film SOI MOSFETs with gate length of 0.1μm are designed and fabricated. The body was doped by ion implantation whose projected range is located around the SOI/buried oxide interface. Simulation results show that this simple process makes a gradient in body impurity concentration and prevents the short channel effects. A 0.095μm SOI MOSFET operates successfully.

key words SOI MOSFET, Short Channel Effect, Channel Ion Implantation, Punchthrough Stopper

1 はじめに

近年バッテリー駆動の携帯機器の需要の高まりにより性能をなるべく落とさずに低消費電力化を図る方法が模索されている。そこで注目されているのが薄膜SOI MOSFETである。薄膜SOI MOSFETは従来のBulk MOSFETよりも寄生容量が小さく、Subthreshold swing Sが急峻であるため電源電圧を下げてもBulk MOSFETほど性能が低下しないというメリットがある。低電源電圧におけるSOI LSIの優位性について、ゲート長0.24 μm のSOI CMOS LSIにおいて電源電圧が低下するにつれbulk LSIとの速度性能の差が拡大することが実証されている^[1]。

しかしゲート長が0.25 μm 世代から0.1 μm 世代までスケーリングが進むとSOI MOSFETのデバイス設計領域が激しく狭まり微細化が困難になる^[2]。0.1 μm SOI MOSFETではSOI膜厚と埋め込み酸化膜厚の極薄膜化が必須である^[3]。しかしSIMOX基板を用いる限り埋め込み酸化膜の薄層化は困難である。またSIMOX、貼り合わせ基板ともSOIの膜厚ばらつきが大きくデバイス特性のばらつきが増大するため現状ではSOI膜厚の極薄膜化は困難である。

本研究ではSIMOX基板を用いSOI膜厚を1000Åとして、ゲート長0.1 μm の薄膜SOI MOSFETのプロセス・デバイスシミュレーションによる設計とそれに基づく試作を行った。

2 0.1 μm SOI MOSFETの設計

2.1 デバイス設計

ゲート長0.1 μm の薄膜SOI MOSFETをトランジスタとして正常動作させるためには短チャネル効果対策が最も重要である。ゲート長0.1 μm でも短チャネル効果に耐えるSOI MOSFETを設計するため、SOI膜厚 t_{SOI} とチャネルドーピングNAの2つをパラメータとしてMEDICI^[4]を用いてデバイスシミュレーションを行った。シミュレーション条件はソース・ドレインからのAsの入り込みを0.02 μm ずつと仮定して実効チャネル長0.06 μm 、ゲート酸化膜厚50Å、埋め込み酸化膜厚1000Å、均一チャネルドーピング、Back界面の影響(固定電荷等)はないとした。電子のみについてボアン方程式と電流連続の式を解かせた。

図1に最大空乏層厚さとチャネルドーピング濃度の関係を示す。図2にV_{th}の t_{SOI} 及びNA依存性を示す。図2aは実効チャネル長1 μm の場合、図2bは実効チャネル長0.06 μm の場合である。図1と図2aよりSOI膜厚が最大空乏層厚さと等しくなる点で部分空乏化(Partially-Depleted : PD)モードと完全空乏化(Fully-

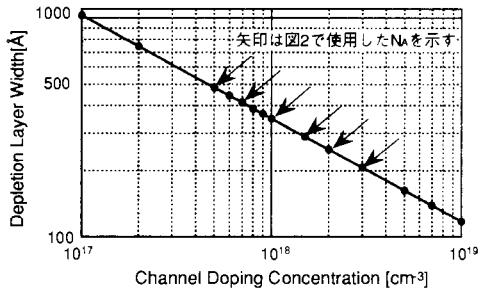
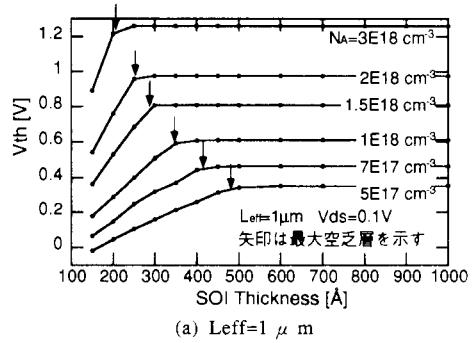
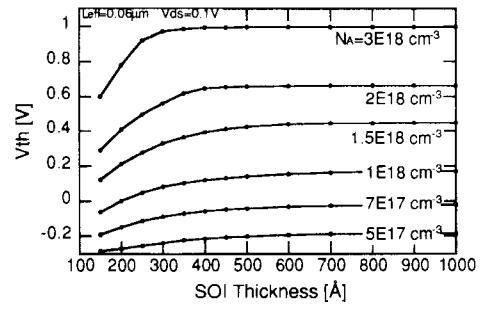


図1 最大空乏層厚さとチャネルドーピングの関係



(a) $\text{Leff}=1\ \mu\text{m}$



(b) $\text{Leff}=0.06\ \mu\text{m}$

図2 V_{th}とSOI膜厚の関係

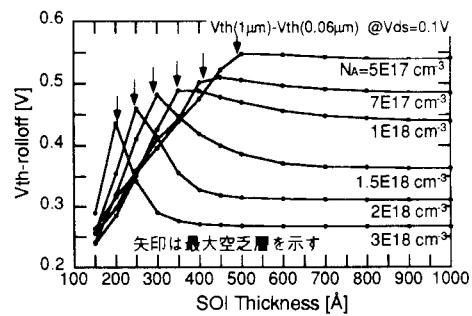
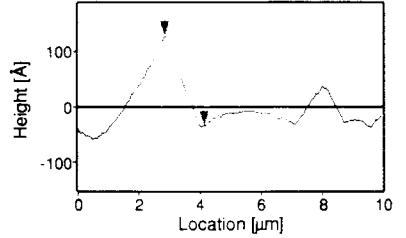
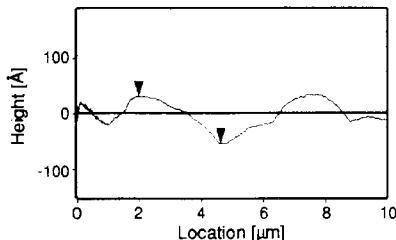


図3 短チャネル効果によるV_{th}-rolloff

Depleted : FD) モードの遷移が起きていることがわかる。またチャネルドーピングNAが高くなる程、空乏層が伸びにくいのでPDモードとFDモードの遷移点がSOI膜厚の薄い方に移動し、またFDモードではV_{th}のt_{SOI}依存が強まりグラフの傾きが急になっていることがわかる。チャネル長1 μmのV_{th}(図2a)と0.06 μmのV_{th}(図2b)の差をV_{th}-rolloffと定義し、これを図3に示す。図3の縦軸V_{th}-rolloffが大きいほど短チャネル効果が顕著であることを意味する。図3で非常に興味深いのはV_{th}-rolloffのt_{SOI}依存にピークが1つできることである^[2]。しかもピークとなるt_{SOI}は図2aで示したPDモードとFDモードの遷移点そのものである。これはt_{SOI}設計の際にPDモードとFDモードの遷移点付近を選んでしまうとV_{th}-rolloffが最悪設計となってしまうことを意味している。つまりPDモードよりもV_{th}-rolloffの小さなFDモードのt_{SOI}を設計するためには遷移点よりもかなり薄いt_{SOI}の値を用いなければならぬ。例えば、NAが1×18cm⁻³では310 Å以下、2×18cm⁻³では170 Å以下である。



(a) プロセスで使用したSIMOX基板(1994年製)



(b) 最近入手したSIMOX基板(1996年製)

図4 SIMOX基板の埋め込み酸化膜表面のAFMによる観察

ここで実際のプロセスでどの程度までSOIを薄層化できるかを調査するためSIMOX基板の評価を行った。図4aはSOI層を取り除き埋め込み酸化膜表面をAFMで観察した結果である。SIMOX基板は1994年に入手したものである。10 μm角のスキャンで最大160 Åもの高低差があった。従ってこのSIMOX基板では0.1 μm SOI MOSFETをFDモードで動作させることは不可能と判断した。そこでSOI膜厚1000 Åでプロセスを行った。なお参考のために、図4bに1996年に入手したSIMOX基板のAFMによる観察結果を示す。

2.2 プロセス設計

SOI膜厚1000 Åで短チャネル効果をなるべく防止するため、チャネルドープ用BF₂イオン注入の注入エネルギーの設計をプロセス・デバイスシミュレータ(TSUPREM-4^[5]、MEDICI^[4])を用いて行った。

2.1章では均一ドープを仮定してデバイス設計を行った。しかし実際のチャネルイオン注入ではチャネルプロファイルに傾きを持たせることが可能である。フロント界面のチャネル濃度が低く、バック界面のチャネル濃度が高くなるような傾きを持つプロファイルをチャネルドープのためのイオン注入時に形成すれば、パンチスルーストップとしても働き短チャネル効果が防止できると考えられる。

そこでBF₂のイオン注入のエネルギーとして、ボロンプロファイルのピークがフロント界面にくる50keV、バック界面にくる110keVの2通りを設定し、比較のため理想的な均一ドープの場合も併せてシミュレーションし3者の比較を行った。またFDモードとPDモードの差を調べるためにチャネル濃度が1×16cm⁻³台と1×17cm⁻³台の2通りを考え、各エネルギーにおいて長チャネルのV_{th}が同一となるようドーズ・チャネル濃度を調整した。これらのチャネルプロファイルを図5に示す。これらが短チャネル効果の影響をどの程度受けるかを調べるために、図6にシミュレーションにより求めたV_{th}-rolloffを示す。

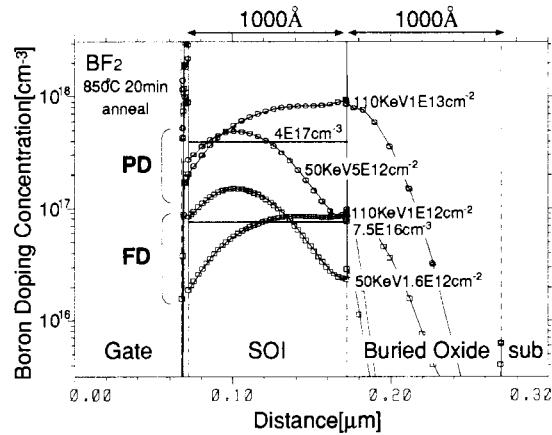


図5 チャネルプロファイル(アニール後)

110keVの場合はバック界面の濃度が最も高いためこれがパンチスルーストップとして有効に働き、短チャネル効果を防止している。しかし50keVの場合はフロント界面の濃度が高くバック界面の濃度が低いためバック界面でパンチスルーが起こりやすく短チャネル効果が起こりやすい。

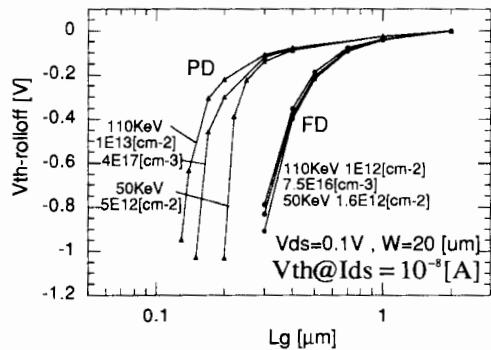


図6 BF2 の注入エネルギーによる V_{th} -rolloff の差異

110keV の場合と 50keV の場合の V_{th} -rolloff の差は PD モードで顕著であり FD モードでは小さい。PD モードでは空乏層が SOI 層全体に伸びないのでフロント界面の電荷で V_{th} が決まり、 V_{th} を同一にしたこの比較では 50keV の場合でも 110keV の場合でもフロント界面付近のボロン濃度はほぼ同じである。しかしバック界面のボロン濃度は 110keV の場合が 50keV の場合よりも 1 衍以上も高い。そのため PD モードでは 110keV と 50keV の V_{th} -rolloff の差が顕著となる。これに対し FD モードでは SOI 層全体が空乏し SOI 層全体の電荷で V_{th} が決まる。 V_{th} を同一にしたこの比較では 50keV と 110keV の場合でフロント界面のボロン濃度は大きく異なるがバック界面のボロン濃度は PD モードの場合ほど差が大きくなない。そのため FD モードでは 110keV と 50keV の V_{th} -rolloff の差が小さいのである。

今回は SOI 膜厚 1000 Å でシミュレーションを行ったため FD モードの場合のボロンプロファイルのピーク位置による V_{th} -rolloff の差は小さかった。しかし、SOI 膜厚を 300 Å 程度にまで薄膜化すれば更に急峻なボロンプロファイルの形成が可能となるため、ボロンプロファイルのピークをバック界面に設定するこの手法のメリットが増大すると考えている。

3 0.1μm SOI MOSFET の特性評価

SIMOX 基板を用いゲート長 $0.1 \mu m$ の SOI MOSFET の試作を行った。ゲート酸化膜厚 50 Å、SOI 膜厚 1000 Å、埋め込み酸化膜厚 1000 Å である。チャネルドーピングは BF2 を 110keV でイオン注入し、ドーズが 3 通りのデバイスを作製した。ドーズが $1 \times 12 \text{ cm}^{-2}$ の Low dose 版（チャネル濃度 $1 \times 16 \text{ cm}^{-3}$ 台）、 $1 \times 13 \text{ cm}^{-2}$ の Middle dose 版（チャネル濃度 $1 \times 17 \text{ cm}^{-3}$ 台）、 $5 \times 13 \text{ cm}^{-2}$ の High dose 版（チャネル濃度 $1 \times 18 \text{ cm}^{-3}$ 台）の 3 通りである。

試作した SOI MOSFET の 3 通りのチャネルドーズの

ゲート特性を図 7 に示す。Low dose はゲート長 $0.22 \mu m$ 、Middle dose はゲート長 $0.16 \mu m$ 、High dose はゲート長 $0.095 \mu m$ まで Subthreshold swing S が 100 mV/dec 以下であり短チャネル効果を防止していると言える。

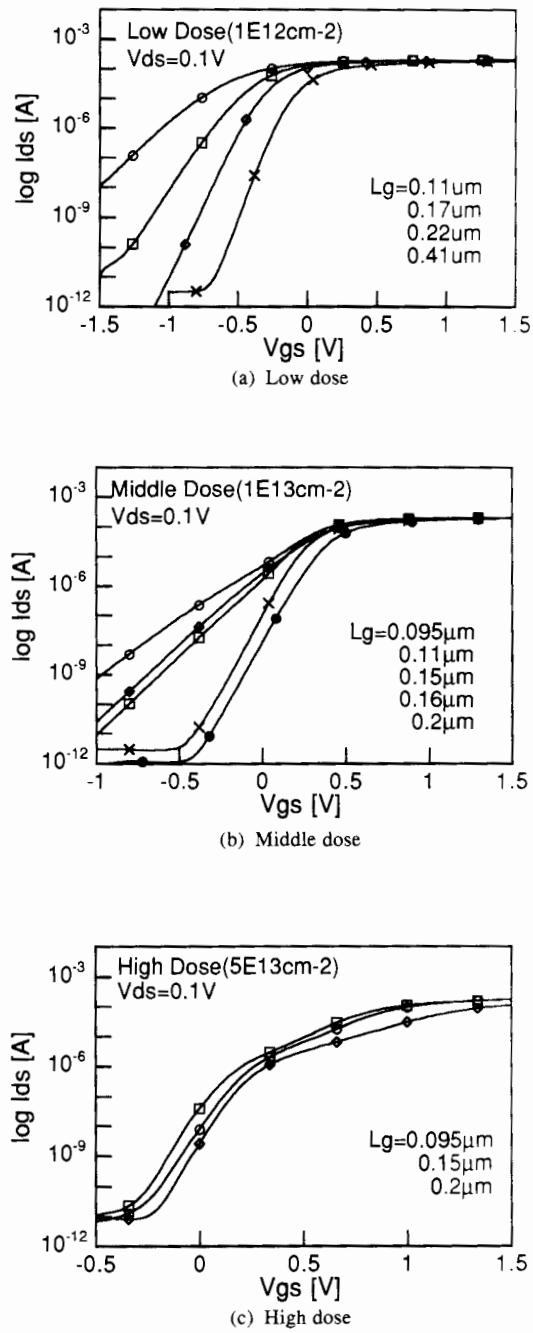


図7 試作 SOI MOSFET のゲート特性

次に Middle dose の $0.16 \mu\text{m}$ と、High dose の $0.095 \mu\text{m}$ の場合の特性を図 9 に示す。High dose では基板浮遊効果によるキャラクタリゼーションができる。

PD モードのデータにおいて、body contact を Float にして短時間充電した時のドレイン特性を図 9 に示す。body contact を接続することにより耐圧が目覚しく改善することができる。ドレイン電圧 1V 以下で基板浮遊効果によるキャラクタリゼーションができる。

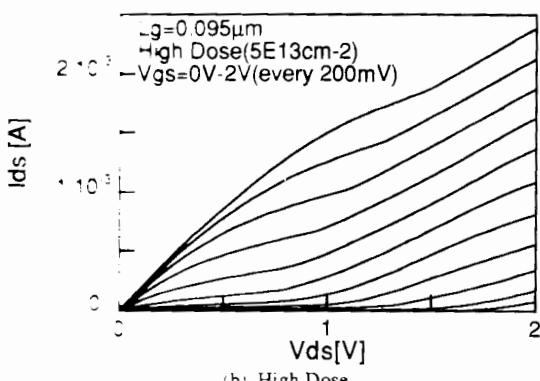
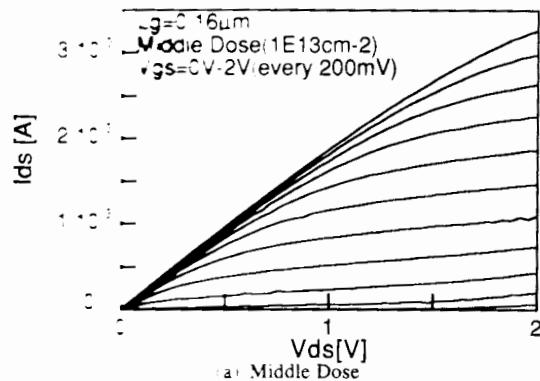


図 9 基板浮遊効果の顕著な SOI MOSFET のドレイン特性

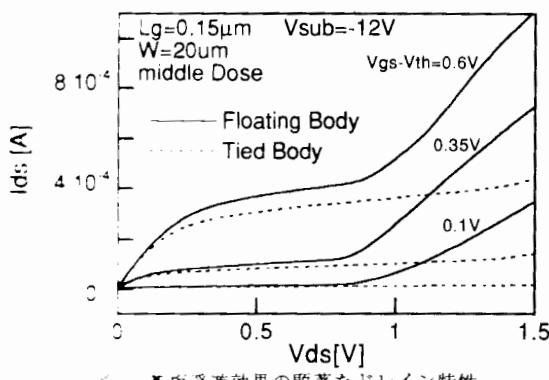


図 10 基板浮遊効果の顕著なドレイン特性

4 シミュレーションとの比較

シミュレーションにより予測した $V_{th\text{-rolloff}}$ と実測の $V_{th\text{-rolloff}}$ の比較を図 10 に示す。n 型 Poly ゲートの仕事関数は 4.05eV とした。全体の傾向としては、ゲート長 $1 \mu\text{m}$ 以上の長チャネルでは V_{th} は定量的に非常に良く合っている。チャネルイオン注入により V_{th} の設定が制御良く行えていることが分かる。Middle dose は実測とシミュレーションが定量的に非常に良く合っている。Low dose は実測の方が $V_{th\text{-rolloff}}$ が小さく、短チャネル効果に強い。原因として SOI 膜厚が実際には 1000 \AA より薄くなっている可能性があげられる。

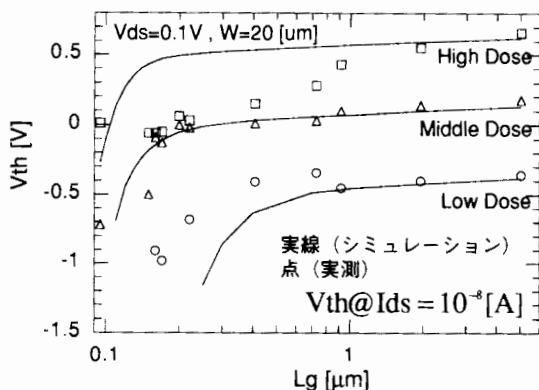


図 10 $V_{th\text{-rolloff}}$ の実測とシミュレーションの比較

5 まとめ

SOI 膜厚 1000 \AA で FD モードと PD モードの SOI MOSFET の試作を行った。パンチスルーストップの形成とチャネルのドープを 1 回のイオン注入で実現する簡便なプロセスによりゲート長 $0.095 \mu\text{m}$ まで短チャネル効果を抑制し、SOI MOSFET の動作を確認した。

謝辞

実験装置の提供及び有意義な討論をして頂いた藤田博之教授と平川一彦助教授に深く感謝致します。また、AFM の測定で御協力頂いた荒川泰彦教授に感謝致します。

参考文献

[1]K.Kado, H.Inoue, Y.Okazaki, T.Tsuchiya, Y.Kawai, M.Sato, Y.Sakakibara, S.Nakayama, H.Yamada, M.Kimura, S.Nakashima, K.Nishimura, S.Date, K.Takeya, and T.Sakai, "Substantial Advantage of Fully-depleted CMOS/SIMOX Devices as Low-Power High-Performance VLSI Components Compared with its Bulk-CMOS Counterpart,"IEDM Tech Dig.,pp.635,1995.

[2]L.T.Su, J.B.Jacobs, J.E.Chung, and D.A.Antoniadis, "Deep-Submicron Channel Design in Silicon-on-Insulator(SOI) MOSFET's,"IEEE Trans.Electron Devices,vol.15,pp.366, 1994.

[3]Y.Omura, S.Nakashima, K.Izumi, and T.Ishii, "0.1- μ m-Gate Ultrathin-Film CMOS Devices Using SIMOX Substrate with 80-nm-Thick Buried Oxide Layer,"IEDM Tech Dig.,pp.675,1991.

[4]"TMA MEDICI Ver 2.1 User's Guide",Technology Modeling Associates, Inc., 1995

[5]"TMA TSUPREM-4 Ver 6.3 User's Guide",Technology Modeling Associates, Inc., 1995