

SIMOX基板のマイクロラフネスによる完全空乏型SOI MOSFETのしきい電圧ばらつき V_{th} Fluctuations of Fully-Depleted SOI MOSFETs caused by Micro Roughness of SIMOX

東京大学生産技術研究所 TI 筑波研究開発センター*

○高宮 真 更屋拓哉 トラン・デュエト 田中 剛* 石黒仁揮 平本俊郎 生駒俊明*

Institute of Industrial Science, University of Tokyo TI Tsukuba Research and Development Center*

○M.Takamiya, T.Saraya, T.N.Duyet, T.Tanaka*, H.Ishikuro, T.Hiramoto, and T.Ikoma*

1.はじめに 完全空乏型SOI MOSFETを微細化するためにはSOI膜厚、埋め込み酸化膜厚の極薄膜化、高チャネルドーピングが必須である。しかしこれらはSOI基板の膜厚ばらつきの影響をより顕著とする。そこでSIMOX基板のマイクロラフネスによるV_{th}ばらつきを解析式により定量的に求めた。

2.計算条件 図1にデバイスパラメータを示す。SOIのマイクロラフネスを周期λ、振幅hの矩形波と仮定した。ゲートとSOIのマイクロラフネスとの位置関係によりV_{th}がばらつく。

3.結果 図2にゲート幅W_gで規格化したラフネスの周期λとV_{th}の3σの関係をラフネスの振幅hをパラメータとして示す。なおλ/W_g<2では2W_g/λが奇数となる場合のみプロットした。λ/W_g<2の範囲ではSOI膜厚の厚い部分の影響はほとんどなく、薄い部分がV_{th}を決定してしまうためV_{th}ばらつきは小さい。しかしλ/W_g>2の範囲ではSOI膜厚の厚い部分の影響があるためV_{th}ばらつきは急増する。

4.結論 完全空乏型SOI MOSFETのV_{th}ばらつきを低減するためには、SIMOX基板のマイクロラフネスの振幅hの低減だけではなく、マイクロラフネスの周期λを2W_gより小さくすることが重要となる。

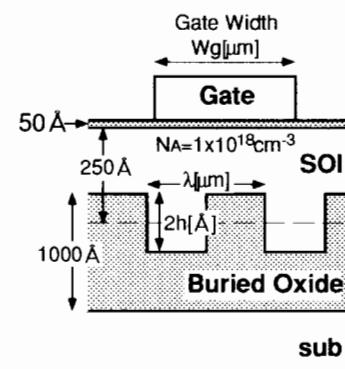


図1 使用したデバイスパラメータ

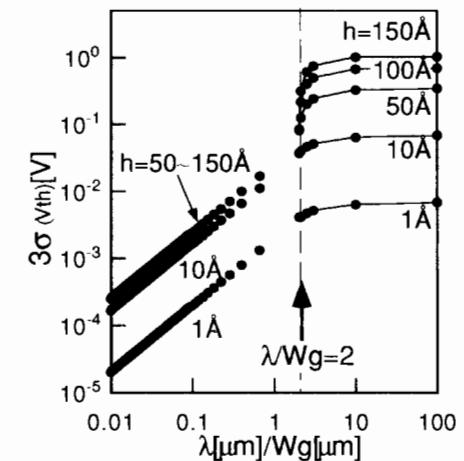


図2 規格化マイクロラフネス周期
とV_{th}ばらつきの関係