

# 低消費電力用完全空乏型 SOI MOSFET のスケーリング指針と Bulk MOSFET との比較

高宮 真<sup>1</sup>、安田有里<sup>1</sup>、平本俊郎<sup>1,2</sup>

<sup>1</sup>東京大学生産技術研究所  
〒106 東京都港区六本木7-22-1

TEL : 03-3402-6231, e-mail : taka@nano.iis.u-tokyo.ac.jp

<sup>2</sup>東京大学大規模集積システム設計教育研究センター

あらまし 低消費電力用完全空乏型SOI MOSFETのスケーリング法を開発し、ディープサブ $0.1\mu m$ へのスケーリングシナリオを示した。これに基づく完全空乏型SOI MOSFETのデバイス構造を提案した。更に2次元デバイスシミュレーションによりBulk MOSFETとの比較を行った。その結果、完全空乏型SOI MOSFETはBulk MOSFETとは異なりゲート酸化膜を薄膜化しなくてもSOIのみを薄膜化することにより急峻なS係数の劣化やV<sub>th</sub>ばらつきの増大なしにBulk MOSFETより更に微細化できることを明らかにした。極微細完全空乏型SOI MOSFETは、低寄生容量や急峻なS係数等の本来のメリットと微細化のメリットを合わせ持つためLSIの超低消費電力化を実現する。

キーワード 低消費電力、完全空乏型SOI MOSFET、S係数、スケーリング、短チャネル効果、V<sub>th</sub>ばらつき、Bulk MOSFETとの比較

## Scaling Methodology for Low Power Fully Depleted SOI MOSFET's and Comparison with Bulk MOSFET's

Makoto Takamiya<sup>1</sup>, Yuri Yasuda<sup>1</sup>, and Toshiro Hiramoto<sup>1,2</sup>

<sup>1</sup> Institute of Industrial Science, University of Tokyo  
7-22-1 Roppongi, Minato, Tokyo 106, Japan  
Phone: +81-3-5411-0619, E-mail: taka@nano.iis.u-tokyo.ac.jp  
<sup>2</sup> VLSI Design and Education Center, University of Tokyo

**Abstract** We have developed the scaling methodology for FD SOI MOSFETs for very low power applications and shown a scaling scenario to the deep sub- $0.1\mu m$  regime. Based on the methodology, we have proposed device structures of ultra thin FD SOI MOSFETs. We compared FD SOI MOSFETs with bulk MOSFETs by the 2D device simulation and shown that, unlike bulk MOSFETs, FD SOI MOSFETs will be miniaturized further by thinning SOI thickness without degrading the steep subthreshold slope and increasing V<sub>th</sub> fluctuations, even if the gate oxide thickness is not scaled. Ultra small FD SOI MOSFETs will realize ultra low power LSIs, because of the steep subthreshold swing, low parasitic capacitances, and the miniaturization.

**key words** Low Power, Fully-Depleted SOI MOSFET, Subthreshold Swing, Scaling, Short Channel Effect, V<sub>th</sub> Fluctuation, Comparison with Bulk MOSFET's

## 1. はじめに

完全空乏型 (FD : Fully Depleted) SOI MOSFET は寄生容量が小さく S 係数 (Subthreshold Swing) が急峻であるため低消費電力デバイスとして注目されている。これらのメリットは埋め込み酸化膜の存在に起因する。FD SOI MOSFET はチャネル空乏層幅が SOI 膜厚で決まるため微細化の点でもメリットがある。これまでに FD SOI MOSFET における短チャネル効果対策として、埋め込み酸化膜の薄膜化や基板濃度の高濃度が提案されている [1-4]。しかしこれらの手法は短チャネル効果は改善するが S 係数を劣化させてしまうので低消費電力応用には向いていない。図 1 に従来の短チャネル効果対策を施した FD SOI MOSFET (type A) と本研究で提案する FD SOI MOSFET (type B) のデバイス構造と特性の比較を示す。type A はバック界面の電位が基板により固定されているため短チャネル効果は起こりにくいが、その他の点ではデメリットが多い。これに対し type B は埋め込み酸化膜が厚い上、基板濃度が低いため基板にも空乏層が伸びバック界面の電位を制御しにくい。従って type B は短チャネル効果が type A に比べ起こりやすいものの S 係数がほぼ理想値である上、低寄生容量であるため低消費電力向けである。type B で短チャネル効果は SOI を極薄膜にすることにより抑制する。

本論文では低消費電力用 FD SOI MOSFET のスケーリング指針を示す。長チャネルにおける S 係数が常にほぼ理想値 ( $\sim 65 \text{mV/dec}$ ) となるよう配慮した。得られた結果を Bulk MOSFET と比較した。

## 2. 完全空乏型 SOI MOSFET のスケーリング指針

図 2 に本章で扱う FD SOI MOSFET を示す。ソース・ドレインの接合深さは常に SOI 膜厚と等しいとし、ソース・ドレインの濃度は  $1 \times 10^{20} \text{cm}^{-3}$  一定と仮定した。図 2 の 4 つのデバイスパラメータに注目した。ゲート酸化膜厚 ( $t_{\text{fox}}$ )、SOI 膜厚 ( $t_{\text{SOI}}$ )、埋め込み酸化膜厚 ( $t_{\text{box}}$ )、チャネル濃度 ( $N_A$ ) である。

	type A (従来の研究)	type B (本研究)
box 薄い	box 薄い	box 厚い
高基板濃度	高基板濃度	埋め込み酸化膜
Si sub	Si sub	低基板濃度 Si sub
S 値	× (悪い)	○ ( $\sim 60 \text{mV/dec}$ )
短チャネル効果	○ (起こりにくい)	△ (起こりやすい)
基板浮遊効果	△ (起こりやすい)	○ (起こりにくい)
寄生容量	× (大)	○ (小)
基板バイアス効果	大	小

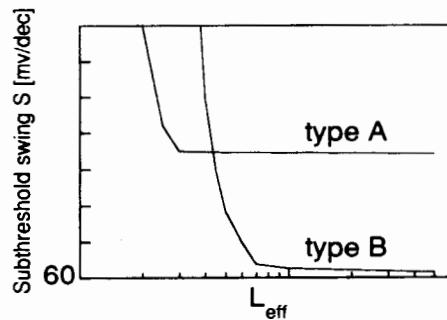


図 1. 従来の研究と本研究の比較

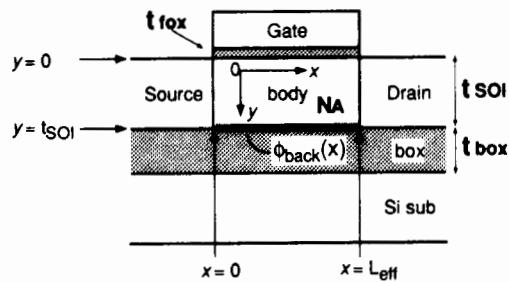


図 2. FD SOI MOSFET のデバイス構造

## 2.1 長チャネルにおいて急峻な S 係数の条件

図3にS係数の $t_{fox}$ ,  $t_{SOI}$ 依存を示す。 $t_{SOI}$ が $t_{fox}$ の10倍であると仮定して解析的に求めた。S係数は $t_{fox}$ と $t_{box}$ の比で決まる。65mV/dec以下のS係数を実現するためには $t_{box}$ は $t_{fox}$ の10倍以上厚くしなければならない。

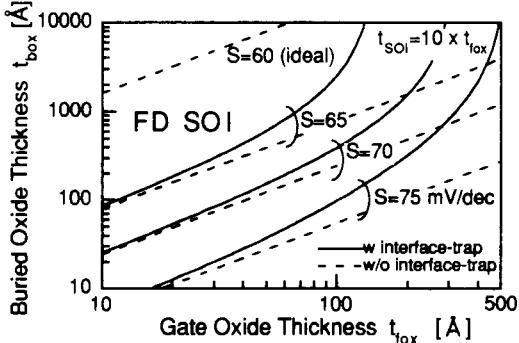


図3.S係数のゲート酸化膜厚、埋め込み酸化膜厚依存

## 2.2 短チャネル効果によるS係数の劣化の自然長 $\lambda$ による規格化

短チャネル効果によるS係数の劣化を理解するために、body（ゲート直下のSOI部分）中の2次元ポアソン方程式を解析的に解くことによりバック界面におけるポテンシャル $\phi_{back}(x)$ を求めた。FD SOI MOSFETで短チャネル効果が起きるとフロント界面より先にバック界面にパンチスルーハイド流が流れるためバック界面に注目した。次の2点の近似を用いた。

- (A) 深さ方向電位は2次関数
- (B) バック界面で電界0

(A) の近似は短チャネル効果が起き、ドレインの影響が強くなると成立しない。しかし本解析はチャネル長を次第に短くしていく場合、短チャネル効果が起き始めるチャネル長を知ることが目

的であるので(A)の近似を適用できる。(B)の近似は $t_{box}$ が十分に厚い言い換えることができる。これらの近似の妥当性については2次元デバイスシミュレーションにより検証した。座標を図2に定義する。(A)(B)の近似を用い、2次元ポアソン方程式をバック界面における1次元ポアソン方程式に簡略化して求めたバック界面ポテンシャル $\phi_{back}(x)$ を式(1)に示す[5]。但し、

$$\Phi_{source} \equiv V_{bi} - (V_{gs} - V_{FB}) - \frac{qN_A}{\epsilon_{Si}} \lambda^2 \quad (2)$$

$$\Phi_{drain} \equiv V_{ds} + V_{bi} - (V_{gs} - V_{FB}) - \frac{qN_A}{\epsilon_{Si}} \lambda^2 \quad (3)$$

$$\lambda = \sqrt{\frac{\epsilon_{Si}}{\epsilon_{ox}} \left( 1 + \frac{\epsilon_{ox}}{2\epsilon_{Si}} \frac{t_{SOI}}{t_{fox}} \right) \cdot t_{SOI} \cdot t_{fox}} \quad (4)$$

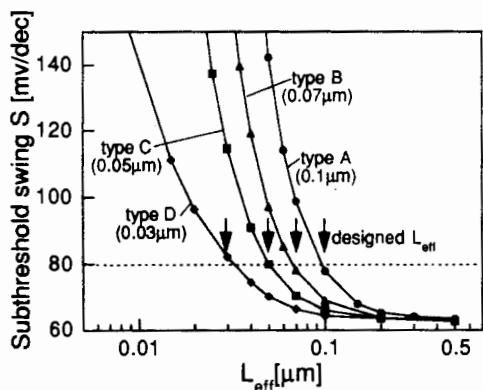
である。式(4)に示す自然長 $\lambda$ を導入した[6-8]。式(1)のチャネル方向位置 $x$ はexponentialの項のみに含まれており、しかも位置 $x$ とチャネル長 $L_{eff}$ は常に自然長 $\lambda$ で規格化されている。すなわちバック界面ポテンシャルは式(4)で定義される自然長 $\lambda$ によりチャネル方向位置が規格化できる。従ってチャネル長 $L_{eff}$ の絶対値にかかわらずチャネル長 $L_{eff}$ と自然長 $\lambda$ の相対関係により短チャネル効果を普遍的に議論することができる。自然長 $\lambda$ は式(4)に示すように $t_{fox}$ と $t_{SOI}$ の関数である。これは $t_{fox}$ と $t_{SOI}$ の2つのみがFD SOI MOSFETの短チャネル効果を支配することを意味している。

図4(a)に $0.1 \mu m$ 以下の4世代のFD SOI MOSFETの短チャネル効果によるS係数の劣化のシミュレーション結果を示す。表1に4世代のFD SOI MOSFETのデバイスパラメータを示す。2次元デバイスシミュレーションではドリフト・拡散モデルを用いた[9]。図4(a)の横軸のチャネル長 $L_{eff}$ を自然長 $\lambda$ で規格化するとS係数の劣化は図4(b)に示すようにユニバーサルカーブを示す。図4(b)から $L_{eff}=6 \lambda$ となる時S係数は常に80mV/decであることがわかる。

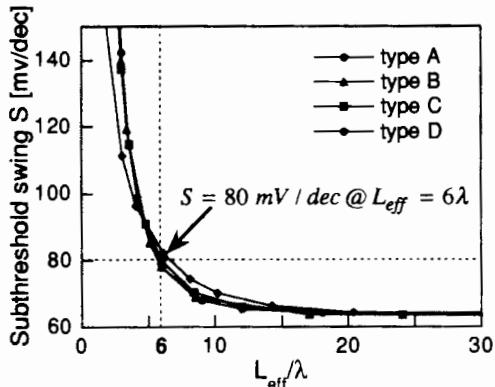
$$\phi_{back}(x) = \frac{\Phi_{source} \left( \exp\left(\frac{L_{eff} - x}{\lambda}\right) - \exp\left(-\frac{L_{eff} - x}{\lambda}\right) \right) + \Phi_{drain} \left( \exp\left(\frac{x}{\lambda}\right) - \exp\left(-\frac{x}{\lambda}\right) \right)}{\exp\left(\frac{L_{eff}}{\lambda}\right) - \exp\left(-\frac{L_{eff}}{\lambda}\right)} + V_{gs} - V_{FB} + \frac{qN_A}{\epsilon_{Si}} \lambda^2 \quad (1)$$

表1. 0.1  $\mu$  m以下のFD SOI MOSFETのデバイスパラメータ

	type A	type B	type C	type D
$t_{fox}$	30 Å	—	—	—
$t_{SOI}$	162 Å	98 Å	58 Å	24 Å
$t_{box}$	1000 Å	—	—	—
$N_A$	$1 \times 10^{15} \text{ cm}^{-3}$	—	—	—
$N_{sub}$	$1 \times 10^{15} \text{ cm}^{-3}$	—	—	—
$V_{ds}$	1V	0.84V	0.71V	0.55V
	0.1 $\mu$ m Generation	0.07 $\mu$ m Generation	0.05 $\mu$ m Generation	0.03 $\mu$ m Generation



(a) 表1に示すFD SOI MOSFETのS係数のチャネル長依存



(b) S係数の  $\lambda$  で規格化したチャネル長依存  
図4. 短チャネル効果によるS係数の劣化

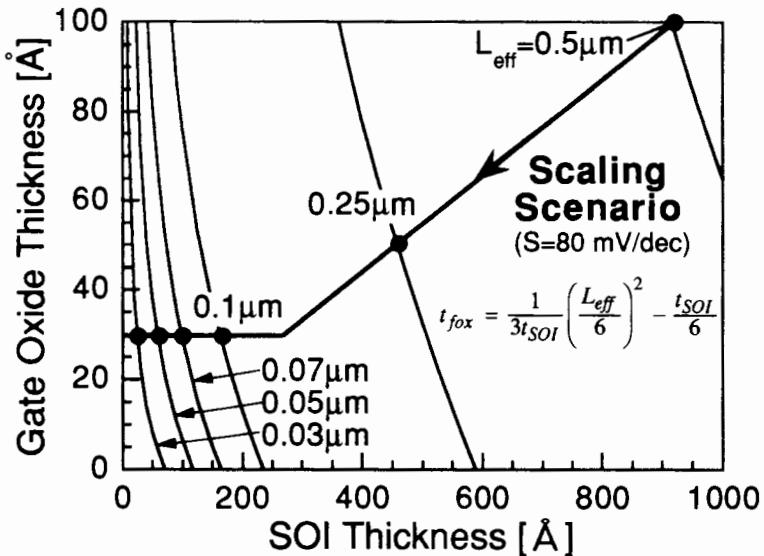
## 2.3 ディープサブ 0.1 $\mu$ mへのスケーリングシナリオ

$L_{eff}=6\lambda$  の関係を用いることにより式(5)に示すようにチャネル長  $L_{eff}$  が  $t_{fox}$  と  $t_{SOI}$  の関数になる。

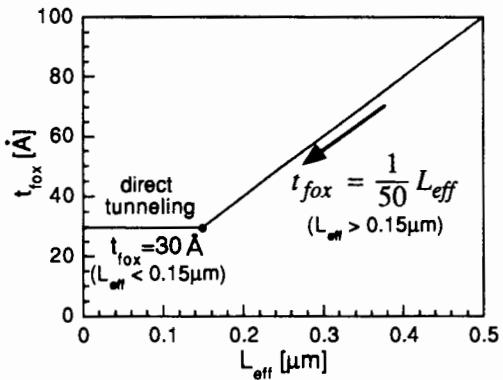
$$L_{eff} = 6\lambda \\ \equiv 6\sqrt{3t_{SOI}\left(t_{fox} + \frac{1}{6}t_{SOI}\right)} \quad (5)$$

$$t_{fox} = \frac{1}{3t_{SOI}}\left(\frac{L_{eff}}{6}\right)^2 - \frac{t_{SOI}}{6} \quad (6)$$

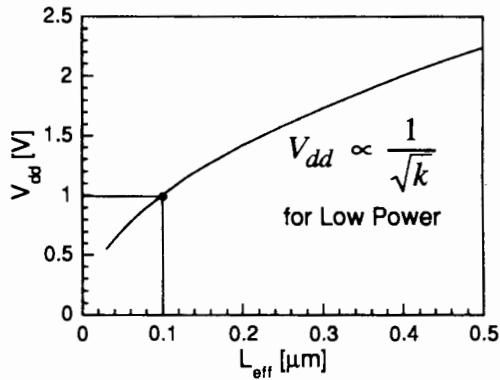
式(5)を  $t_{fox}$ について解いた式(6)を用い、図5(a)にFD SOI MOSFETのディープサブ 0.1  $\mu$  mへのスケーリングシナリオを示す。0.1  $\mu$  m以下の4世代のFD SOI MOSFETのデバイスパラメータは既に表1に示した。短チャネル効果の起こるチャネル長はS係数が80mV/decとなる時、すなわち  $L_{eff}=6\lambda$ となる時と定義した。図5(a)のそれぞれの曲線はS係数が80mV/decに対応する。各曲線の左下の領域では各世代で短チャネル効果が抑制されることを意味する。 $t_{fox}$ と  $V_{dd}$ のスケーリングは図5(b)(c)のように仮定した。チャネル長  $L_{eff}$ が0.15  $\mu$  m以下では  $t_{fox}$ は直接トンネル電流により30 Å一定であると仮定した。図5(a)のシナリオではFD SOI MOSFETは  $t_{fox}$ が一定であろうともスケーリング可能であることを示している。 $t_{fox}$ 一定のスケーリングはスピード向上の効果は小さいが、従来のスケーリングと比較し消費電力を大きく削減できる。



(a) ゲート酸化膜厚とSOI膜厚のスケーリングシナリオ



(b) ゲート酸化膜厚のスケーリングシナリオ



(c) 電源電圧のスケーリングシナリオ

図5. FD SOI MOSFETのディープサブ0.1 μmへのスケーリングシナリオ

### 3. Bulk MOSFET のスケーリングとの比較

#### 3.1. 短チャネル効果

ゲート酸化膜厚 ( $t_{fox}$ ) が図5 (b) で示したようにもはやこれ以上薄膜化しない場合、Bulk MOSFETの短チャネル効果対策はチャネル空乏層幅 ( $l_D$ ) かソース・ドレインの接合深さ ( $X_j$ ) の縮小により行わなければならない。まずチャネル空乏層幅 ( $l_D$ ) の縮小について考える。図6にBulk MOSFETの長チャネルでのS係数の  $N_A$  依存を示す。また、図7に  $t_{fox}$  が一定のまま  $N_A$  を上げたBulk MOSFETの短チャネル効果によるS係数の劣化を示す。用い

たデバイスパラメータを表2に示す。ここでは均一チャネルプロファイルを仮定しているがレトログレードチャネルプロファイルでも  $I_D$  が同じならば S 係数、短チャネル効果も同じである。Bulk MOSFET は図6に示すように今まで  $N_A$  を上げて  $I_D$  を縮小すると同時に  $t_{fox}$  を薄膜化することにより長チャネルで 80mV/dec 前後の S 係数を実現してきた。しかし 30 Å 以下に  $t_{fox}$  をスケーリングすることが困難となり、図7に示すように  $t_{fox}$  が一定のまま  $N_A$  を上げると短チャネル効果は抑制されるが S 係数は長チャネルにおいても劣化してしまう。

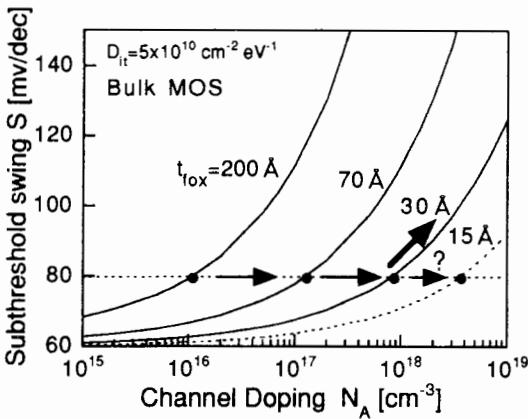


図6. Bulk MOSFET の長チャネルでの S 係数のチャネル濃度依存

表2. チャネル濃度のみを変化した Bulk MOSFET のデバイスパラメータ

	type A	type B	type C
$t_{ox}$	30 Å	—	—
$X_j$	162 Å	—	—
$N_A$	$1 \times 10^{18} \text{ cm}^{-3}$	$3 \times 10^{18} \text{ cm}^{-3}$	$1 \times 10^{19} \text{ cm}^{-3}$
$V_{ds}$	1V	—	—
備考	bulk 0.1μm世代	$N_A$ 高濃度化	$N_A$ 超高濃度化

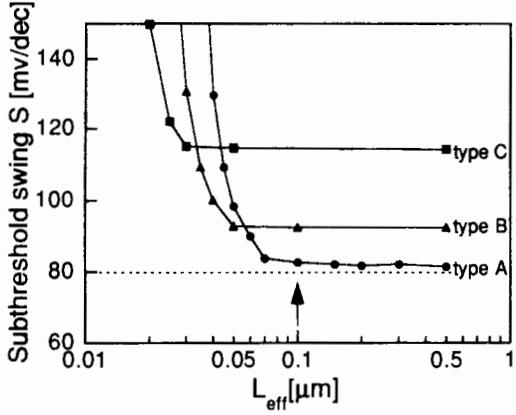


図7. 表2に示す Bulk MOSFET の S 係数のチャネル長依存

次にソース・ドレインの接合深さ ( $X_j$ ) の縮小について考える。図8に極浅ソース・ドレイン接合のBulk MOSFETとFD SOI MOSFETの短チャネル効果によるS係数の劣化の比較を示す。デバイスパラメータを表1,3に示す。 $X_j=t_{SOI}$ として比較を行った。また、長チャネルでのS係数の劣化を防ぐため $N_A$ は $1 \times 10^{18} \text{ cm}^{-3}$ 固定とした。0.1 μm世代ではBulk MOSFETはFD SOI MOSFETよりも短チャネル効果を抑制している[2]。しかし0.03 μm世代ではBulk MOSFETはFD SOI MOSFETよりも短チャネル効果が顕著で常にS係数が劣る。これはBulk MOSFETでは $N_A$ 一定のためチャネル空乏層幅が全く縮小していないからである。これに対しFD SOI MOSFETでは $N_A$ がノンドープであろうともチャネル空乏層幅が $t_{SOI}$ により縮小するため短チャネル効果を抑制している。

表3.0.1 μm以下の Bulk MOSFET のデバイスパラメータ

	type A'	type D'
$t_{ox}$	30 Å	—
$X_j$	162 Å	24 Å
$N_A$	$1 \times 10^{18} \text{ cm}^{-3}$	—
$V_{ds}$	1V	0.55V
	0.1μm Generation	0.03μm Generation

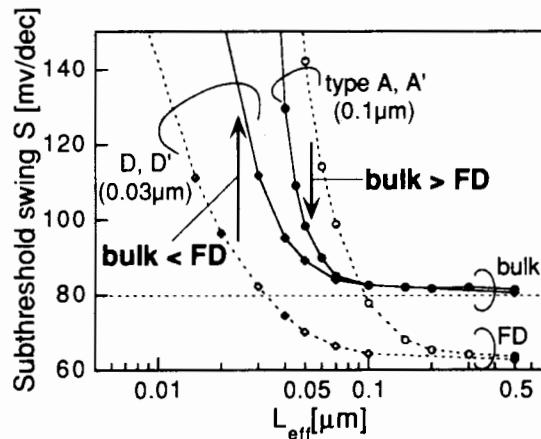


図8. 表1,3に示す FD SOI MOSFET と Bulk MOSFET の S 係数のチャネル長依存

### 3.2. $V_{th}$ ばらつき

FD SOI MOSFET では  $V_{th}$  は完全空乏の範囲内で  $N_A$  により制御することができる。しかし  $N^+poly$  ( $P^+poly$ ) ゲートを用いた NMOS (PMOS) で  $V_{th}$  を適切な値に調節するためにはスケーリングと共に高い  $N_A$  が必要となり  $V_{th}$  ばらつきが顕著となる。図9に FD SOI MOSFET の  $V_{th}$  ばらつきのチャネル長依存の計算結果を示す。ばらつきの原因としてチャネル不純物数の統計的ばらつき [10] と  $t_{SOI}$  のプロセスばらつきを考えた。表4に  $V_{th}$  とそれを実現するために必要な  $N_A$  を示す。 $V_{th}$  ばらつきはデバイスサイズの縮小と共に増大する。一方、 $N_A$  がノンドープの FD SOI MOSFET は  $V_{th}$  ばらつきを抜本的に減少できる。なぜなら  $V_{th}$  が空乏層電荷の影響を受けずゲートとの仕事関数差で決まるからである。従って FD SOI MOSFET は高  $N_A$  よりもノンドープ  $N_A$  で微細化すべきであり、 $V_{th}$  調節はゲート電極にミッドギャップの材料を用いることにより行うべきである。

表4.  $V_{th}$  をチャネル濃度で調節した FD SOI MOSFET のデバイスパラメータ

	$L_{eff}$	0.03μm	0.05μm	0.07μm	0.10μm	0.25μm
$V_{th}$	0.2V	—	—	—	—	0.32V
$N_A$	$3.9 \times 10^{18} \text{ cm}^{-3}$	$1.7 \times 10^{18}$	$1.0 \times 10^{18}$	$5.9 \times 10^{17}$	$2.4 \times 10^{17}$	

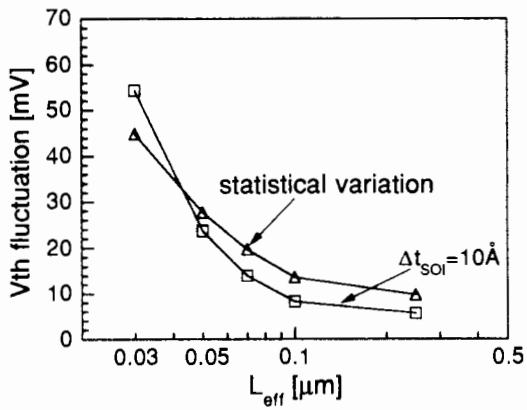


図9. 表4に示す FD SOI MOSFET の  $V_{th}$  ばらつきのチャネル長依存

### 4. ディープサブ $0.1 \mu\text{m}$ 完全空乏型 SOI MOSFET の構造

2章で示したスケーリング指針に基づき、図10にチャネル長  $0.05 \mu\text{m}$  の FD SOI MOSFET のデバイス構造を示す。短チャネル効果は SOI を極薄膜にすることにより抑制し、 $V_{th}$  ばらつきはチャネルをノンドープにすることにより防止する。S 係数を急峻にし、寄生容量を低減するために埋め込み酸化膜は厚めにしておく。ソース・ドレイン抵抗の低減とミッドギャップのゲート材料による  $V_{th}$  の設定 [11-13] が FD SOI MOSFET の重要な課題である。図10では選択 Si エビ成長によりソース・ドレインをせり上げた上にさらにシリサイドを行うことによりソース・ドレイン抵抗を低減している [4,14]。

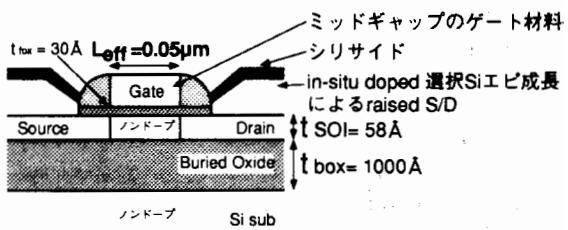


図10. チャネル長  $0.05 \mu\text{m}$  の FD SOI MOSFET のデバイス構造

### 5.まとめ

低消費電力用完全空乏型 SOI MOSFET のスケーリング法を開発し、ディープサブ  $0.1 \mu\text{m}$  へのスケーリングシナリオを示した。ゲート酸化膜厚と SOI 膜厚のスケーリングが本質的に重要である。これに基づく完全空乏型 SOI MOSFET のデバイス構造を提案した。更に Bulk MOSFET との比較を行った。その結果、完全空乏型 SOI MOSFET は Bulk MOSFET とは異なりゲート酸化膜を薄膜化しなくとも SOI のみを薄膜化することにより急峻な S 係数の劣化や  $V_{th}$  ばらつきの増大なしに Bulk MOSFET より更に微細化できることを明らかにした。極微細完全空乏型 SOI MOSFET は、低寄生容量や急峻な S 係数等の本来のメリットと微細化のメリットを合わせ持つため LSI の超低消費電力化を実現する。

## 参考文献

- [1] Y.Omura, S.Nakashima, K.Izumi, and T.Ishii, "0.1μm-Gate Ultrathin-Film CMOS Devices Using SIMOX Substrate with 80-nm-Thick Buried Oxide Layer," IEDM Tech. Dig., pp.675-678, 1991
- [2] L.T.Su, J.B.Jacobs, J.E.Chung, and D.A.Antoniadis, "Deep-Submicron Channel Design in Silicon-on-Insulator (SOI) MOSFET's," IEEE Electron Device Lett., vol.15, no.9, pp.366-369, 1994
- [3] T.Shimatani, S.Pidin, and M.Koyanagi, "New Electrically-Thinned Intrinsic-Channel SOI MOSFET with 0.01μm Channel Length," Ext. Abs. SSDM, pp.494-496, 1996
- [4] M.Cao, T.Kamins, P.V.Voorde, C.Diaz, and W.Greene, "0.18-μm Fully-Depleted Silicon-on-Insulator MOSFET's," IEEE Electron Device Lett., vol.18, no.6, pp.251-253, 1997
- [5] 高宮 真, "低消費電力 SOI MOSFET の微細化に関する研究" 東京大学大学院工学系研究科電子工学専攻修士論文, 1997
- [6] R.H.Yan, A.Ourmazd, and K.F.Lee, "Scaling the Si MOSFET: From Bulk to SOI to Bulk," IEEE Trans. Electron Devices, vol.39, no.7, pp.1704-1710, 1992
- [7] K.Suzuki, T.Tanaka, Y.Tosaka, H.Horie, and Y.Arimoto, "Scaling Theory for Double-Gate SOI MOSFET's," IEEE Trans. Electron Devices, vol.40, no.12, pp.2326-2329, 1993
- [8] G.F.Niu, R.M.M.Chen, and G.Ruan, "Comparison and Extension of Recent Surface Potential Models for Fully Depleted Short-Channel SOI MOSFET's," IEEE Trans. Electron Devices, vol.43, no.11, pp.2034-2037, 1996
- [9] "TMA MEDICI Ver 2.3 User's Manual", Technology Modeling Associates, Inc., 1997
- [10] T.Mizuno, "Influence of Statistical Spatial-Nonuniformity of Dopant Atoms on Threshold Voltage in a System of Many MOSFETs," Jpn. J. Appl. Phys. Vol.35, pp.842-848, 1996
- [11] J.M.Hwang, and G.Pollack, "Novel Polysilicon/TiN Stacked-Gate Structure for Fully-Depleted SOI/CMOS," IEDM Tech. Dig., pp.345-348, 1992
- [12] N.Kistleret, and J.Woo, "Symmetric CMOS in Fully-Depleted Silicon-on-Insulator using P-Polycrystalline Si-Ge Gate Electrodes," IEDM Tech. Dig., pp.727-730, 1993
- [13] H.Shimada, T.Ushiki, Y.Hirano, and T.Ohmi, "Threshold Voltage Adjustment in SOI MOSFET's by Employing Tantalum for Gate Material," IEDM Tech. Dig., pp.881-884, 1995
- [14] Y.Nakahara, K.Takeuchi, T.Tatsumi, Y.Ochiai, S.Manako, S.Samukawa, and A.Furukawa, "Ultra-shallow in-situ-doped raised source/drain structure for sub-tenth micron CMOS," Symp. on VLSI Tech. Dig., pp.174-175, 1996