

極薄膜SOI層を有する超低消費電力用ディープサブ0.1 μ m MOSFET

高宮 真[†]安田 有里^{†, ††}平本 俊郎^{†, †††}

Deep Sub-0.1μm MOSFET's with Very Thin SOI Layer for Ultra-Low Power Applications

Makoto TAKAMIYA[†], Yuri YASUDA^{†, ††}, and Toshiro HIRAMOTO^{†, †††}

あらまし ディープサブ0.1 μ m世代の超低消費電力用MOSFETの設計指針を検討し、極薄膜SOI層と比較的厚い埋込み酸化膜を有する完全空乏型SOI MOSFETを提案した。検討にあたってはサブスレッショルド係数に加えて不純物数の統計的揺らぎ等も考慮した。ディープサブ0.1 μ m世代ではゲート酸化膜厚が直接トンネルのためこれ以上スケールされないとすると、従来のパルクMOSFETではサブスレッショルド係数の劣化やしきい値電圧ばらつきを抑えたままデバイスをスケールすることが困難である。完全空乏型SOI MOSFETでは、ノンドープ極薄膜SOIにより短チャネル効果としきい値電圧ばらつきを抑え、また厚い埋込み酸化膜により長チャネルでのサブスレッショルド係数の劣化を抑制できる。本設計指針に基づく0.05 μ m MOSFETの構造とパラメータを示した。

キーワード 低消費電力、短チャネル効果、完全空乏型SOI MOSFET、サブスレッショルド係数、スケーリング

1. まえがき

ULSI MOSデバイスの微細化は、性能向上と集積度向上のためスケーリング則に従って急ピッチで進んでおり、サブ0.1 μ m MOSFETも多数報告されている。特に電流駆動力向上と短チャネル効果抑制に有効なゲート酸化膜厚は、従来のトレンドより前倒しで薄膜化が進んでいると言われており、トンネル電流による薄膜化の限界である30 Åに近づきつつある。もしゲート酸化膜厚が限界に達し、しかも酸化膜に代わる新しい材料が見つかないとすると、ゲート酸化膜のスケーリングはそこでストップし、サブ0.1 μ mにおけるMOSFETのスケーリング則は大きな変更を余儀なくされることになる。

一方、携帯情報機器等の普及により、ULSIデバイスに求められる低消費電力化の要求は厳しくなるばかり

である。特に電池駆動の携帯機器ではスタンバイ電流の抑制が必須であり、低消費電力用MOSFETのサブスレッショルド係数は室温における理想値になるべく近いことが強く求められる。ところが、サブ0.1 μ m MOSFETではパンチスルーやによるサブスレッショルド係数の劣化が観測されることが多い。また、短チャネル効果抑制のためチャネル不純物濃度を高くすると、サブ0.1 μ m領域では不純物の統計的揺らぎによるしきい値電圧(V_{th})ばらつきが問題になることが指摘されている。以上のように、サブ0.1 μ m領域の超低消費電力向けMOSFETにおいては、ゲート酸化膜厚をスケールしなくともサブスレッショルド係数を劣化させずに微細化できるデバイスアーキテクチャの確立が急務となっている。

本論文では、低消費電力サブ0.1 μ m MOSFETとして、極薄膜SOI層と厚い埋込み酸化膜を有する完全空乏型(FD:Fully Depleted)SOI MOSFETを提案する。FD SOI MOSFETは寄生容量が小さくサブスレッショルド係数が急しゅんであるため低消費電力デバイスとして注目されてきた。FD SOI MOSFETの短チャネル効果対策として、これまでに埋込み酸化膜の薄膜化や基板濃度の高濃度化が提案されている[1]～[4]。ところが、これらの手法は長チャネルでのサブスレッショルド係数を劣化させてしまうので超低消費電力応用に向いていると

[†] 東京大学生産技術研究所、東京都

Institute of Industrial Science, University of Tokyo, 7-22-1 Roppongi, Minato-ku, Tokyo, 106-8558 Japan

^{††} 中央大学理工学部電気電子工学科、東京都

Faculty of Science and Engineering, Chuo University, Kasuga, Bunkyo-ku, Tokyo, 112-8555 Japan

^{†††} 東京大学大規模集積システム設計教育研究センター

VLSI Design and Education Center, University of Tokyo, Bunkyo-ku, Tokyo, 113-8656 Japan

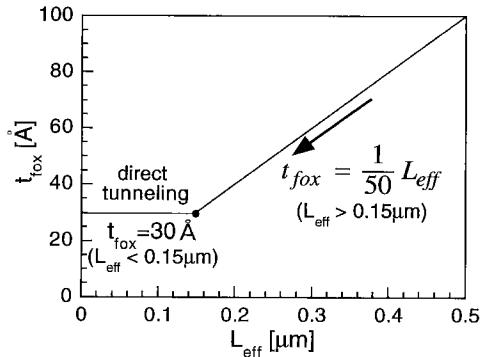


図1 ゲート酸化膜厚のスケーリングシナリオ
Fig.1 Scaling scenario of the gate oxide thickness.

はいいがたい。従って、FD SOI MOSFET本来の低消費電力化のメリットを生かしたままサブ0.1 μm領域へスケーリングするための新しい指針が必要である。

本論文では、まず、従来のバルクMOSFETは、ゲート酸化膜厚のスケールなしには微細化が不可能であることをデバイスシミュレーションにより明らかにする。次に、FD SOI MOSFETのサブ0.1 μmへのスケーリング指針を検討し、ゲート酸化膜厚のスケールを必要とせずサブスレッショルド係数の劣化も抑制するスケーリングシナリオを示す。また、不純物の統計的揺らぎの効果も検討し、最後に、このシナリオに基づいたサブ0.1 μm FD SOI MOSFETの最適構造とパラメータを示す。

2. バルクMOSFETのスケーリング

バルクMOSFETの微細化は、ゲート酸化膜厚(t_{fox})、チャネル空乏層幅(I_D)およびソース・ドレーンの接合深さ(X_j)を同時にスケールすることにより達成されてきた。ここで、 t_{fox} が図1に示すように、30 Å以下には薄膜化しないと仮定する。すると、バルクMOSFETの短チャネル効果対策は、 I_D と X_j の縮小により行わなければならぬ。

まず、 I_D の縮小について考えよう。図2に t_{fox} が一定のまま I_D を縮小した場合の短チャネル効果によるサブスレッショルド係数の劣化を示す。表1に示すパラメータを用いてデバイスシミュレーションにより求めた。2次元デバイスシミュレーションではドリフト・拡散モデルを用いた[5]。 t_{fox} を30 Å以下にスケーリングすることが困難となると、図2に示すように、 I_D を縮小すれば短チャネル効果は抑制されるが、サブスレッショルド係

表1 チャネル空乏層幅のみを変化したBulk MOSFETのデバイスパラメータ

Table 1 Device parameters of bulk MOSFETs. The channel depletion layer width is changed.

	type X	type Y	type Z
t_{fox}	30 Å	↔	↔
X_j	162 Å	↔	↔
I_D (N_A)	247 Å ($1 \times 10^{18} \text{ cm}^{-3}$)	147 Å ($3 \times 10^{18} \text{ cm}^{-3}$)	83 Å ($1 \times 10^{19} \text{ cm}^{-3}$)
V_{ds}	1 V	↔	↔
備考	bulk 0.1 μm世代	N_A 高濃度化	N_A 超高濃度化

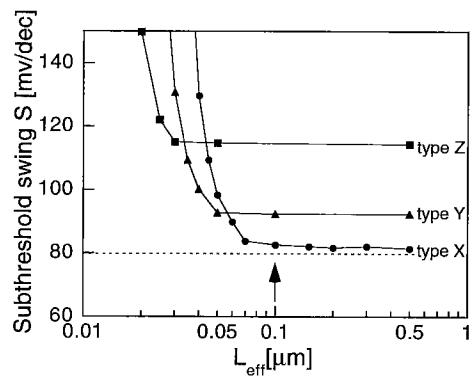


図2 表1に示すバルクMOSFETのサブスレッショルド係数のチャネル長依存

Fig.2 S vs. L_{eff} of bulk MOSFETs shown in Table 1.

数は長チャネルにおいても劣化し、低消費電力用途に向かなくなってしまう。

I_D の縮小は、チャネル濃度を高くすることで達成できる。均一チャネルプロファイルを仮定した場合のチャネル濃度を表1に示してある。ところが、ゲート酸化膜厚一定のままチャネル濃度を高くすると、しきい値電圧が上がりすぎて、低電圧駆動に適さなくなる。また N_A が高いとサブ0.1 μm領域で V_{th} ばらつきや接合リードも大きくなる。一方、しきい値電圧を下げたまま I_D を縮小する方法としては、レトログレードチャネルやゲート材料変更などがあるが、 I_D が同じならば短チャネル効果によるサブスレッショルド係数の劣化は図2と同じ結果となる。以上の結果から、 I_D の縮小では、低消費電力向けのスケーリングは明らかに困難である。

次に X_j の縮小について考える。図3に極浅ソース・ドレーン接合のバルクMOSFETにおける短チャネル効果によるサブスレッショルド係数の劣化の様子を示す。

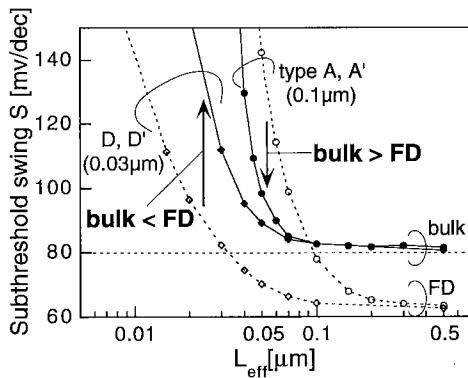


図3 表2,3に示すバルクMOSFETとFD SOI MOSFETのサブスレッショルド係数のチャネル長依存

Fig.3 S vs. L_{eff} of bulk and FD SOI MOSFETs shown in Tables 2 and 3.

表2 0.1 μm以下のバルクMOSFETのデバイスパラメータ
Table 2 Device parameters of bulk MOSFETs below 0.1μm.

	type A'	type D'
t_{fox}	30 Å	—
X_j	162 Å	24 Å
t_D (N_A)	247 Å ($1 \times 10^{18} \text{ cm}^{-3}$)	—
V_{ds}	1V	0.55V
	0.1μm Generation	0.03μm Generation

表3 0.1 μ m以下のFD SOI MOSFETのデバイスパラメータ
Table 3 Device parameters of FD SOI MOSFETs below 0.1μm.

	type A	type B	type C	type D
t_{fox}	30 Å	—	—	—
t_{SOI}	162 Å	98 Å	58 Å	24 Å
t_{box}	1000 Å	—	—	—
N_A	$1 \times 10^{15} \text{ cm}^{-3}$	—	—	—
N_{sub}	$1 \times 10^{15} \text{ cm}^{-3}$	—	—	—
V_{ds}	1V	0.84V	0.71V	0.55V
	0.1μm Generation	0.07μm Generation	0.05μm Generation	0.03μm Generation

デバイスパラメータを表2に示す。長チャネルでのサブスレッショルド係数の劣化を防ぐため N_A は $1 \times 10^{18} \text{ cm}^{-3}$ 固定とした。バルクMOSFETでは、 X_j のみを小さくしても、サブスレッショルド係数の劣化がほとんど抑制できないことがわかる。これは N_A 一定のためチャネル空乏層幅 I_D が全く縮小していないからである。

なお、 X_j がSOI膜厚(t_{SOI})に等しいと仮定した場合のFD SOI MOSFETの結果を図3に併せて示す。デバイス

パラメータは表3に示す。0.1 μ m世代ではバルクMOSFETはFD SOI MOSFETよりも短チャネル効果を抑制している[2]が、0.03 μ m世代ではバルクMOSFETはFD SOI MOSFETよりも短チャネル効果が顕著で常にサブスレッショルド係数が劣っている。これは後に示すように、FD SOI MOSFETでは N_A がノンドープであろうともチャネル空乏層幅 I_D が t_{SOI} により縮小するため短チャネル効果を抑制しているためである。従って、FD SOI MOSFETはバルクMOSFETより低消費電力向けのスケーリングが可能であることがわかる。

3. 完全空乏型SOI MOSFETのスケーリング指針

3.1 従来のFD SOI MOSFETとの比較

本論文では、低消費電力用に極薄膜SOIと厚い埋め込み酸化膜を有するFD SOI MOSFETを提案する。図4(a)(b)に従来の短チャネル効果対策を施したFD SOI MOSFET(Conv. FD)と本論文で提案するFD SOI MOSFET(New FD)のデバイス構造の比較を示す。また、図4(c)に両者の特性比較表を、図4(d)にサブスレッショルド係数劣化の様子を模式的に示す。Conv. FDは埋め込み酸化膜の薄膜化や基板濃度の高濃度化によりバック界面の電位が基板で固定されているため短チャネル効果は起こりにくいが、長チャネルでのサブスレッショルド係数の劣化などその他の点ではデメリットが多い。これに対しNew FDは埋め込み酸化膜が厚い上、基板濃度が低いため基板にも空乏層が伸びバック界面の電位を制御しにくい。従ってNew FDは短チャネル効果がConv. FDに比べ起こりやすい。しかし、サブスレッショルド係数がほぼ理想値である上、低寄生容量であるため超低消費電力向けである。New FDで短チャネル効果はSOIを極薄膜にすることにより抑制する。

以下にNew FDのスケーリング法とメリットについて述べる。なお、解析およびデバイスシミュレーションにあたっては、ソース・ドレーンの接合深さは常にSOI膜厚と等しいとし、ソース・ドレーンの濃度は $1 \times 10^{20} \text{ cm}^{-3}$ 一定と仮定した。以下の四つのデバイスパラメータに注目した。すなわち、ゲート酸化膜厚(t_{fox})、SOI膜厚(t_{SOI})、埋め込み酸化膜厚(t_{box})、チャネル濃度(N_A)である。

3.2 自然長λによる規格化

まず、サブスレッショルド係数を長チャネルで低く抑えるための条件を解析的に検討した。 t_{SOI} が t_{fox} の10倍

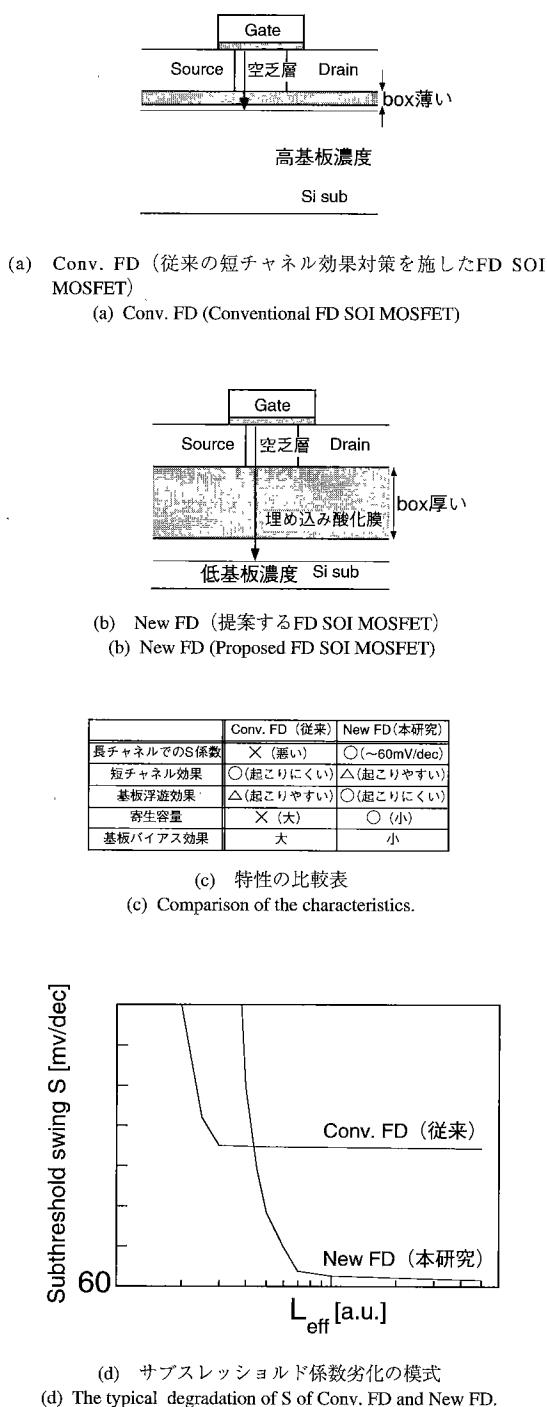


図4 従来と本論文で提案するFD SOI MOSFETの比較
Fig.4 Comparison of the conventional and the proposed FD SOI MOSFETs.

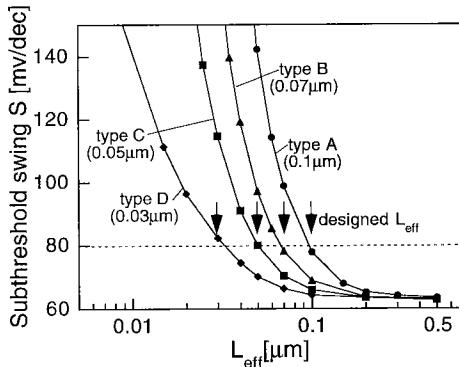
であると仮定して解析的に求めると、サブスレッショルド係数は t_{fox} と t_{box} の比で決まることがわかる。65mV/dec以下のサブスレッショルド係数を長チャネルで実現するためには t_{box} は t_{fox} の10倍以上厚くすればよい。

次に、短チャネル効果によるサブスレッショルド係数の劣化を理解するために、body（ゲート直下のSOI部分）中の2次元ポアソン方程式を解析的に解くことによりバック界面におけるポテンシャル $\phi_{back}(x)$ を求めた[6]。R.H.Yanら[7]がフロント界面のポテンシャルに注目したのに対し、本論文ではバック界面に注目した。なぜなら、FD SOI MOSFETで短チャネル効果が起きるとフロント界面より先にバック界面にパンチスルーハードウェアが流れるためである。近似として、(A)深さ方向電位は2次関数、(B)バック界面で電界の深さ方向成分はゼロとした。(A)の近似は短チャネル効果が起き、ドレンの影響が強くなると成立しない。しかし本解析はチャネル長を次第に短くしていった場合、短チャネル効果が起き始めるチャネル長を知ることが目的であるので(A)の近似を適用できる。(B)の近似は t_{box} が十分に厚いと言い換えることができる。これらの近似については、2次元デバイスシミュレーションによりその妥当性を実証してある[6]。 $\phi_{back}(x)$ の導出に際しては、R.H.Yanら[7]が提唱した自然長 λ の概念を導入し、FD SOI MOSFETのバック界面を考慮した λ を導いた[6], [10]。

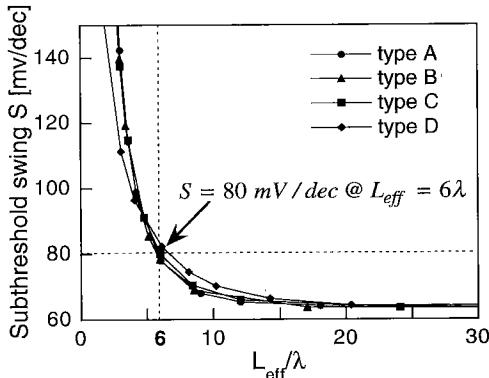
$$\lambda \equiv \sqrt{\frac{\epsilon_{Si}}{\epsilon_{ox}} \left(1 + \frac{\epsilon_{ox} t_{SOI}}{2 \epsilon_{Si} t_{fox}} \right)} \cdot t_{SOI} \cdot t_{fox} \quad (1)$$

$\phi_{back}(x)$ のチャネル方向位置 x とチャネル長 L_{eff} は常に自然長 λ で規格化されている[6]～[10]。すなわち $\phi_{back}(x)$ は式(1)で定義される自然長 λ によりチャネル方向位置が規格化できる。従ってチャネル長 L_{eff} の絶対値にかかわらずチャネル長 L_{eff} と自然長 λ の相対関係により短チャネル効果を普遍的に議論することができる。自然長 λ は式(1)に示すように t_{fox} と t_{SOI} の関数である。これは t_{fox} と t_{SOI} の二つのみがFD SOI MOSFETの短チャネル効果を支配することを意味している。

求めた自然長の意味を調べるために、デバイスシミュレーションを行った。図5(a)に $0.1\mu m$ 以下の4世代のFD SOI MOSFETの短チャネル効果によるサブスレッショルド係数の劣化のシミュレーション結果を示す。表3に4世代のFD SOI MOSFETのデバイスパラメータを示す。図5(a)の横軸のチャネル長 L_{eff} を自然長 λ で規格化するとサブスレッショルド係数の劣化は図5(b)に示すよ



(a) 表3に示すFD SOI MOSFETのサブスレッショルド係数のチャネル長依存
(a) S vs. L_{eff} of FD SOI MOSFETs shown in Table 3.



(b) サブスレッショルド係数のλで規格化したチャネル長依存
(b) S vs. normalized L_{eff} by λ .

図5 短チャネル効果によるサブスレッショルド係数の劣化
Fig.5 Degradation of S by the short channel effect.

うにユニバーサルカーブを示す。これは、自然長 λ による規格化が短チャネル効果を議論する上で有効であることを示している。図5(b)から $L_{eff}=6\lambda$ となるとき、サブスレッショルド係数は常に80mV/decであることがわかる。また、 t_{SOI} を表3のように極めて薄くすれば、チャネル空乏層 I_D および接合深さ X が極めて小さく抑えられることになり、サブスレッショルド係数の劣化を抑えられることがわかる。また、 λ の式に N_A が表れないことから、 N_A は短チャネル効果にほとんど影響せずチャネルがノンドープであっても t_{fox} と t_{SOI} をスケールすればFD SOI MOSFETの微細化が可能であることが明らかとなった。

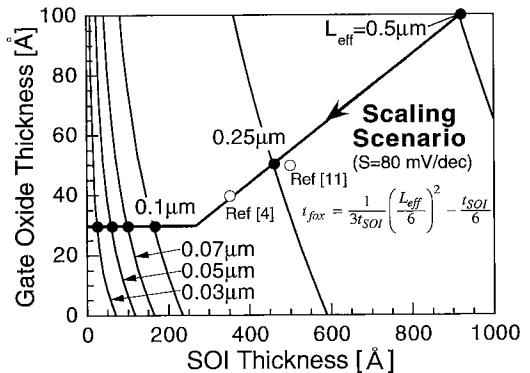


図6 FD SOI MOSFETのディープサブ0.1 μ mへのスケーリングシナリオ
Fig.6 Scaling scenario of FD SOI MOSFETs to the deep sub-0.1 μ m regime.

3.3 ディープサブ0.1 μ mへのスケーリングシナリオ
式(1)で表される自然長 λ と $L_{eff}=6\lambda$ の関係を用いることにより、サブスレッショルド係数が80mV/decとなるチャネル長 L_{eff} が t_{fox} と t_{SOI} の関数で表される。この関係を用いて、図6にFD SOI MOSFETのディープサブ0.1 μ mへのスケーリングシナリオを示す。0.1 μ m以下の4世代のFD SOI MOSFETのデバイスパラメータは既に表3に示した。短チャネル効果の起こるチャネル長はサブスレッショルド係数が80mV/decとなるとき、すなわち $L_{eff}=6\lambda$ となるときと定義した。図6のそれぞれの曲線は図6の図中に示す式で表され、各チャネル長においてサブスレッショルド係数が80mV/decに対応する。各曲線の左下の領域では各世代で短チャネル効果が抑制されることを意味する。 t_{fox} のスケーリングは図1のように仮定した。電源電圧は $k^{1/2}$ 倍にスケーリングすると仮定した。図6のシナリオは、FD SOI MOSFETは t_{fox} が一定であろうともサブスレッショルド係数が劣化することなく低消費電力のメリットを維持したままスケーリング可能であることを示している。 t_{fox} 一定のスケーリングはスピード向上の効果は小さいが、従来のスケーリングと比較し消費電力を大きく削減できる。

図6には、これまでに試作されているFD SOI MOSFETのパラメータもプロットした[4], [11]。これらのデバイスはほぼ我々のスケーリングシナリオにのっていることがわかる。これは、今回提案する極薄膜SOI MOSFETが決して特殊な構造ではなく、現存のFD SOI MOSFETの延長上に位置していることを意味している。

表4 V_{th} をチャネル濃度で調節したFD SOI MOSFETのデバイスパラメータ

Table 4 Device parameters of FD SOI MOSFETs which adjust V_{th} by the channel doping concentrations.

L_{eff}	0.03μm	0.05μm	0.07μm	0.10μm	0.25μm
V_{th}	0.2V	←	←	←	0.32V
N_A	$3.9 \times 10^{18} \text{ cm}^{-3}$	1.7×10^{18}	1.0×10^{18}	5.9×10^{17}	2.4×10^{17}
t_{fox}	30Å	←	←	←	50Å
t_{SOI}	24Å	58Å	98Å	162Å	440Å

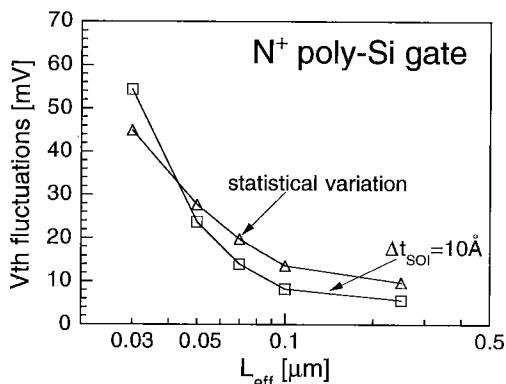


図7 表4に示すFD SOI MOSFETの V_{th} ばらつきのチャネル長依存

Fig.7 Vth fluctuations of FD SOI MOSFETs with N^+ poly gate shown in Table 4.

4. しきい値ばらつき

FD SOI MOSFETでは V_{th} は完全空乏の範囲内で N_A により制御することができる。しかし N^+ poly(P^+ poly)ゲートを用いたNMOS(PMOS)で V_{th} を適切な値に調節するためには、スケーリングと共に高い N_A が必要となり、バルクMOSFETと同様にサブ $0.1 \mu\text{m}$ 領域では V_{th} ばらつきが顕著となる。図7にFD SOI MOSFETの V_{th} ばらつきのチャネル長依存性の計算結果を示す。ばらつきの原因としてチャネル不純物数の統計的ばらつき[12]と t_{SOI} のプロセスばらつき(膜厚ばらつき)を考えた。表4に V_{th} とそれを実現するために必要な N_A を示す。図7からわかるように V_{th} を N_A で制御しようとすると、 V_{th} ばらつきはデバイスサイズの縮小と共に増大する。

一方、 V_{th} ばらつきの問題を抜本的に解決するには、 N_A がノンドープのFD SOI MOSFETを用いればよい。なぜなら V_{th} が空乏層電荷の影響を受けずゲートとの仕事関数差で決まるからである。前章のFD SOI MOSFETの検討は、すべて N_A がノンドープの場合を仮定してお

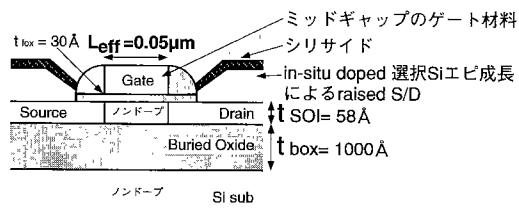


図8 チャネル長 $0.05 \mu\text{m}$ のFD SOI MOSFETのデバイス構造

Fig.8 The proposed device structure of a $0.05 \mu\text{m}$ FD SOI MOSFET.

り、極薄膜SOI MOSFETでは、チャネル濃度を高くしなくても短チャネル効果を抑制できることを示していた。従ってFD SOI MOSFETは高 N_A よりもノンドープ N_A でサブ $0.1 \mu\text{m}$ 領域へ微細化すべきであり、 V_{th} 調節はゲート電極にミッドギャップの材料(TiN,SiGe,Ta等[13]~[15])を用いることにより行うべきである。

5. ディープサブ $0.1 \mu\text{m}$ 完全空乏型SOI MOSFETの構造

上記のスケーリング指針に基づき、図8にチャネル長 $0.05 \mu\text{m}$ のFD SOI MOSFETのデバイス構造を示す。短チャネル効果はSOIを極薄膜にすることにより抑制し、 V_{th} ばらつきはチャネルをノンドープにすることにより防止する。サブレッショルド係数を急しゅんにし、寄生容量を低減するために埋込み酸化膜は厚めにしておく。ソース・ドレーン抵抗の低減とミッドギャップのゲート材料による V_{th} の設定がFD SOI MOSFETの重要な課題である。図8では選択Siエピ成長によりソース・ドレーンをせり上げた上に更にシリサイドを行うことによりソース・ドレーン抵抗を低減している[4], [16]。

6. むすび

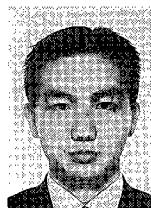
ディープサブ $0.1 \mu\text{m}$ 世代の超低消費電力用MOSFETの設計指針を検討し、極薄膜SOI層と比較的の厚い埋込み酸化膜を有する完全空乏型SOI MOSFETを提案した。ディープサブ $0.1 \mu\text{m}$ 世代ではゲート酸化膜厚が 30 \AA 以下にスケールされないとすると、従来のバルクMOSFETではサブレッショルド係数の劣化やしきい値電圧ばらつきを抑えたままデバイスをスケールすることが困難であることが明らかとなった。完全空乏型SOI MOSFETでは、ノンドープ極薄膜SOIにより短チャネル効果としきい値電圧ばらつきを抑え、また厚い埋

込み酸化膜によりサブスレッショルド係数の劣化を抑制できる。開発したスケーリング指針に基づいて、0.05 μ m MOSFETの構造とパラメータを示した。

文 献

- [1] Y.Omura, S.Nakashima, K.Izumi, and T.Ishii, "0.1 μ m-gate ultrathin-film CMOS devices using SIMOX substrate with 80-nm-thick buried oxide layer," IEDM Tech. Dig., pp.675-678, 1991.
- [2] L.T.Su, J.B.Jacobs, J.E.Chung, and D.A.Antoniadis, "Deep-submicron channel design in silicon-on-insulator (SOI) MOSFET's," IEEE Electron Device Lett., vol.15, no.9, pp.366-369, 1994.
- [3] T.Shimatani, S.Pidin, and M.Koyanagi, "New electrically-thinned Intrinsic-channel SOI MOSFET with 0.01 μ m channel length," Ext. Abs. SSDM, pp.494-496, 1996.
- [4] M.Cao, T.Kamins, P.V.Voorde, C.Diaz, and W.Greene, "0.18- μ m fully-depleted silicon-on-insulator MOSFET's," IEEE Electron Device Lett., vol.18, no.6, pp.251-253, 1997.
- [5] "TMA MEDICI Ver 2.3 User's Manual," Technology Modeling Associates, Inc., 1997.
- [6] 高宮 真, "低消費電力SOI MOSFETの微細化に関する研究," 東京大学大学院工学系研究科電子工学専攻修士論文, 1997.
- [7] R.H.Yan, A.Ourmazd, and K.F.Lee, "Scaling the Si MOSFET: From bulk to SOI to bulk," IEEE Trans. Electron Devices, vol.39, no.7, pp.1704-1710, 1992.
- [8] K.Suzuki, T.Tanaka, Y.Tosaka, H.Horie, and Y.Arimoto, "Scaling theory for double-gate SOI MOSFET's," IEEE Trans. Electron Devices, vol.40, no.12, pp.2326-2329, 1993.
- [9] G.F.Niu, R.M.M.Chen, and G.Ruan, "Comparison and extension of recent surface potential models for fully depleted short-channel SOI MOSFET's," IEEE Trans. Electron Devices, vol.43, no.11, pp.2034-2037, 1996.
- [10] 高宮 真, 安田有里, 平本俊郎, "低消費電力用完全空乏型 SOI MOSFETのスケーリング指針とBulk MOSFETとの比較," 信学技報, SDM97-115, 1997.
- [11] Y.Kado, H.Inokawa, Y.Okazaki, T.Tsuchiya, Y.Kawai, M.Sato, Y.Sakakibara, S.Nakayama, H.Yamada, M.Kitamura, K.Nishimura, S.Date, M.Ino, K.Takeya, and T.Sakai, "Substantial advantages of fully-depleted CMOS/SIMOX devices as low-power high-performance VLSI components compared with its bulk-CMOS counterpart," IEDM Tech. Dig., pp.635-638, 1995.
- [12] T.Mizuno, "Influence of statistical spatial-nonuniformity of dopant atoms on threshold voltage in a system of many MOSFETs," Jpn. J. Appl. Phys. vol.35, pp.842-848, 1996.
- [13] J.M.Hwang and G.Pollack, "Novel polysilicon/TiN stacked-gate structure for fully-depleted SOI/CMOS," IEDM Tech. Dig., pp.345-348, 1992.
- [14] N.Kistler and J.Woo, "Symmetric CMOS in fully-depleted silicon-on-insulator using P-polycrystalline Si-Ge gate electrodes," IEDM Tech. Dig., pp.727-730, 1993.
- [15] H.Shimada, T.Ushiki, Y.Hirano, and T.Ohmi, "Threshold voltage adjustment in SOI MOSFET's by employing tantalum for gate material," IEDM Tech. Dig., pp.881-884, 1995.
- [16] Y.Nakahara, K.Takeuchi, T.Tatsumi, Y.Ochiai, S.Manako, S.Samukawa, and A.Furukawa, "Ultra-shallow in-situ-doped raised source/drain structure for sub-tenth micron CMOS," Symp. on VLSI Tech. Dig., pp.174-175, 1996.

(平成9年10月17日受付, 12月1日再受付)



高宮 真

平7東大・工・電子卒。平9同大大学院修士課程了。現在、同大大学院博士課程在学中。極微細SOI MOSFETのデバイス・プロセス設計と試作・評価に従事。応用物理学会会員。



安田 有里

平10中央大・理工・電気電子卒。現在、同大大学院修士課程在学中。東大生産技術研究所にてMOSFETのデバイスシミュレーション、特に不純物の統計的揺らぎによる特性ばらつきに関する研究に従事。応用物理学会会員。



平本 俊郎 (正員)

昭59東大・工・電子卒。平1同大大学院博士課程了。同年(株)日立製作所デバイス開発センター入社。超高速SRAM用BiCMOSデバイス設計に従事。平6東大生産技術研究所助教授、平8東大大規模集積システム設計教育研究センター助教授、現在に至る。工博。専門はサブ0.1 μ m VLSIデバイスおよびSi単一電子デバイスの研究。応用物理学会、IEEE各会員。