

AB-DTMOS と従来型 DTMOS の基板バイアス係数の比較

Comparison of the Body Effect Coefficient of an AB-DTMOS and Conventional DTMOS

東大生研* 東大 VDEC** ○高宮 真*、平本俊郎*、**

IIS, Univ. of Tokyo* VDEC, Univ. of Tokyo** M.Takamiya* and T.Hiramoto*、**

E-mail: taka@nano.iis.u-tokyo.ac.jp

1,はじめに DTMOS の高駆動電流化の指針はチャンネル空乏層を縮めることにより基板バイアス係数 γ ($\equiv \Delta V_{th}/\Delta V_{bs}$) を高め、オン時の V_{th} を下げる事である。我々が提案した AB(Accumulated Back-Interface)-DTMOS [1] と従来型 DTMOS の γ を解析式とシミュレーションにより比較する。

2,しきい電圧と基板バイアス係数の関係 AB-DTMOS と従来型 DTMOS の V_{th} は式(1)(2)に示すように γ の関数として表される。ここで従来型 DTMOS は均一チャンネルプロファイルを仮定した。 ϕ_{F1} , ϕ_{F2} はフェルミ電位、 V_{FB1} , V_{FB2} は仕事関数差を表す。 V_{th} が同じ場合、AB-DTMOS は従来型 DTMOS の 2 倍の γ を持つことが式(1)(2)から予測できる。図 1 に AB-DTMOS と従来型 DTMOS の V_{th} の γ 依存のシミュレーション結果を示す。AB-DTMOS では SOI 膜厚を、従来型 DTMOS ではチャンネル濃度を変化させた。高 γ を得ようとする V_{th} も上がってしまう。しかし式(1)(2)から予測した通り同一 V_{th} で AB-DTMOS は従来型 DTMOS の 2 倍の γ を持つため、高駆動力が得られる。実験データ ($\gamma=0.8$, $V_{th}=0.45V$) [1] も図 1 にプロットしたが、シミュレーション結果と非常に良く一致した。

3,レトログレードチャンネルDTMOSとの比較 低 V_{th} かつ高 γ の実現方法として他にレトログレードチャンネル等の不純物プロファイルによる方法が考えられる[2]。しかし同一 V_{th} でレトログレードチャンネル DTMOS の γ は AB-DTMOS より必ず低い。なぜなら AB-DTMOS はバック界面を蓄積させることによりチャンネルプロファイルを電氣的に形成しているため不純物ドーピングでは実現不可能な非常に急峻なステップ形状のチャンネルプロファイルが得られ、空乏層をより縮小出来るからである。

4,結論 V_{th} を揃えた場合、AB-DTMOS は均一チャンネルプロファイルの従来型 DTMOS に比べ急峻なステップ形状のチャンネルプロファイルにより空乏層幅を半分に縮小できるため、常に 2 倍の基板バイアス係数 γ が得られ高駆動力である。

[1] 高宮：1998 年秋季応物，発表予定。

[2] C.Wann et al: IEDM p.113, 1996.

$$V_{th}(\text{Conv. DTMOS}) = 2\phi_{F1} + \frac{V_{FB1}}{1+2\gamma} \quad (1)$$

$$V_{th}(\text{AB-DTMOS}) = 2\phi_{F2} + \frac{V_{FB2}}{1+\gamma} \quad (2)$$

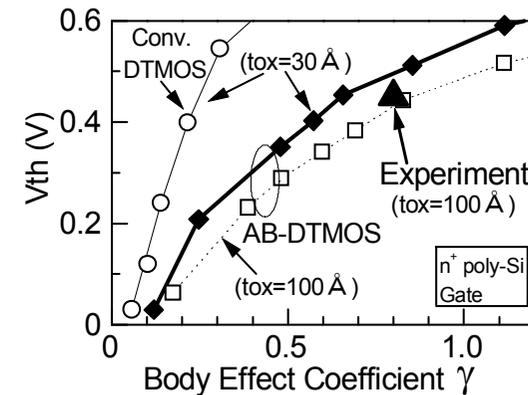


図 1. V_{th} の基板バイアス係数依存。実測結果も示す。