社団法人 電子情報通信学会
THE INSTITUTE OF ELECTRONICS,
INFORMATION AND COMMUNICATION ENGINEERS

信学技報
TECHNICAL REPORT OF IEICE.
SDM98-210 (1999-03)

基板バイアス効果の大きい 高性能 EIB-DTMOS の提案と実証

高宮 真*, 平本俊郎***

*東京大学 生産技術研究所
〒106-8558 東京都港区六本木 7-22-1
TEL: 03-3402-6231, E-mail: taka@nano.iis.u-tokyo.ac.jp
**東京大学 大規模集積システム設計教育研究センター

あらまし
基板バイアス効果が大きく低 Vth の超低消費電力高性能 Electrically Induced Body (EIB)-DTMOS を提案し，デバイス試作により実証した．EIB-DTMOS は SOI 中のバック界面に電気的に誘起した急峻なプロファイルの高濃度ボディ(EIB)と薄膜 SOI により，基板バイアス効果を最大にすることが出来る．複数の DTMOS をシミュレーションで比較した結果，アキュミュレーションモード EIB-DTMOS は Vth シフトが最大かつ短チャネル効果を抑制するため，一定オフ電流で駆動力が最大であることを示した．従ってアキュミュレーションモード EIB-DTMOS は 0.5V 以下での超低電源電圧において高駆動力と低リーク電流を両立する高性能 MOSFET である．

キーワード
DTMOS, SOI MOSFET, 基板バイアス効果, 低電圧, 低消費電力, 高性能

High Performance Electrically Induced Body Dynamic Threshold MOSFET (EIB-DTMOS) with Large Body Effect

Makoto Takamiya* and Toshiro Hiramoto*,**

*Institute of Industrial Science, University of Tokyo
7-22-1 Roppongi, Minato, Tokyo 106-8558, Japan
TEL: +81-3-3402-6231, E-mail: taka@nano.iis.u-tokyo.ac.jp
**VLSI Design and Education Center, University of Tokyo

Abstract
We have proposed and fabricated a high performance EIB-DTMOS with large body effect and low Vth. Electrically induced body with high carrier concentration at back interface and thin SOI layer reduce the channel depletion layer width and maximize the body effect. Among several DTMOS's, the accumulation mode EIB-DTMOS shows the highest current drive at fixed off-current due to the large Vth shift and the suppressed short channel effect. Therefore, the accumulation mode EIB-DTMOS is a high performance MOSFET, which can achieve both high current drive and low off-current at very low supply voltage below 0.5V.

key words DTMOS, SOI MOSFET, body effect, low voltage, low power, high performance

1 背景

近年 LSI の低消費電力化の必要性が高まっている．CMOS 低消費電力化の手法として，消費電力に 2 乗で効く電源電圧の低減が最も有効である．しかし電源電圧を下げるとゲートドライブ V_{dd}- V_{th}が減少するため駆動力が低下してしまう．駆動力低下を回避するためには V_{th} も下げる必要があるが，V_{th} を下げるとサブスレッショルド電流によるリーク電流が桁で増大し，スタティック消費電力が増大する．従って低電源電圧で高性能（高速）を実現するために，オフ電流の低減とオン電流の増大が同時に実現可能なデバイスの開発が強く求められている．

0.5V 以下の超低電源電圧において低オフ電流と高オン電流を両立する優れた MOSFET として dynamic threshold MOSFET (DTMOS)がある[1-6]．DTMOS とは MOSFET のゲートとボディを配線で結んだデバイスである．表 1 に DTMOS の特徴を示す．DTMOS は表面電位とゲート電位が常に等しいため S 値が理想値 60mV/dec を示す上に，V_{th} がゲート電圧に応じて変化するため非常に高いオン電流/オフ電流比が実現可能である．図 1 に DTMOS のゲート特性を通常 MOSFET と比較して示す．DTMOS では V_{gs} を上げるとボディ電位が正にバイアスされるために基板バイアス効果により V_{th} が⊿V_{th} だけ低下し駆動力が高まる．この結果，通常 MOSFET のゲートドライブが V_{dd}- V_{th} であるのに対し，DTMOS のゲートドライブは V_{dd}-（V_{th}-⊿V_{th}）に増大する．⊿V_{th} はγ V_{dd} に等しい．γ は基板バイアス係数である．従って DTMOS の高駆動力化の指針は，基板バイアス効果を増大させ⊿V_{th} を大きくすることである[2]．

ところが従来の DTMOS ではチャネル濃度が V_{th} と γ を同時に決定するため，γ が 0.2 - 0.3 程度と小さく DTMOS 固有の高駆動力の利点を生かし切れていなかった[1,3]．

そこで本論文では 2 章で従来の DTMOS よりも γ が 0.8～1 と大きく高駆動力の EIB-DTMOS [7] を新たに提案し，3 章で実測結果を示す．4 章で提案した EIB-DTMOS と従来の DTMOS をシミュレーションで比較し，5 章でまとめる．

表 1: DTMOS の特徴

advantage	*disadvantage*
ideal subthreshold swing (S = 60mV/dec)	area penalty for body contact
high current drive due to dynamic V_{th}	only V_{bi} < 0.6V due to the forward biased junction leakage current
no floating body effect	

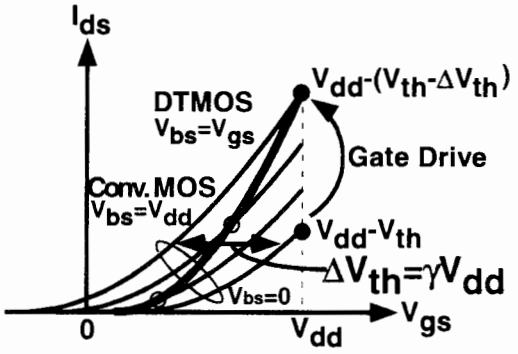
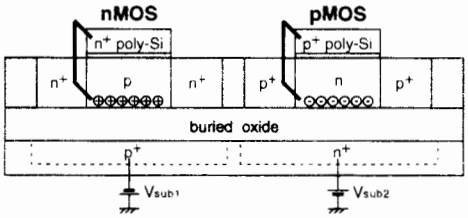


図 1: DTMOS と通常 MOSFET のゲート特性

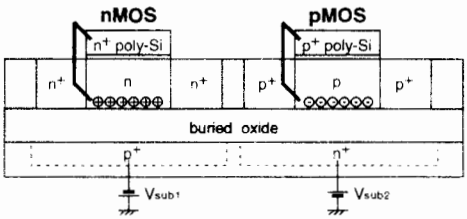
2 提案する EIB-DTMOS

2.1 デバイス構造

図 2 に提案する Electrically Induced Body DTMOS (EIB-DTMOS)の CMOS デバイス構造を示す．



(a) Inversion mode EIB-DTMOS



(b) Accumulation mode EIB-DTMOS

図 2: 提案する EIB-DTMOS のデバイス構造

ボディは埋め込み酸化膜下の基板（バックゲート）にスタティックなバイアスをかけることにより SOI 中のバック界面に電気的に誘起する．電気的に誘起されたボディ(EIB)により，通常の不純物ドーピングでは実現不可能な非常に急峻なステップ形状のチャネルプロファイルが形成される．ゲートと EIB をボディコンタクト経由で結ぶことにより DTMOS として動作させる．チャネルのドーパントにより，図 2 (a)に示すインバージョンモード EIB-DTMOS と図 2 (b)に示すアキュミュレーションモ

ードEIB-DTMOSがある．アキュミュレーションモードEIB-DTMOSが最も高性能であることを4章で示す．インバージョンモードEIB-DTMOSの場合，表面チャネルのキャリアは反転により誘起され，アキュミュレーションモードEIB-DTMOSの場合，表面チャネルのキャリアは蓄積により誘起される．両者共にV_{th}は正(nMOSの場合)である．アキュミュレーションモードEIB-DTMOSのEIBを構成するホール(nMOSの場合)はp^+ボディコンタクト領域から供給される．

EIB-DTMOSのプロセス可能性について述べる．バックゲートのレイアウトはbulk CMOSにおけるウェルと全く同様に多数のMOSFETで1つのバックゲートを共有する．但し極性の異なるバックゲート間距離は逆接合耐圧を考慮し広げる必要がある．CMOSの場合，埋め込み酸化膜下のバックゲートの極性を変える必要があるが，埋め込み酸化膜越しのイオン注入により作成可能である[8,9]．またバックゲートへのコンタクトはSTI，埋め込み酸化膜を貫通して取る[8,9]．基板バイアスは外部供給，内部生成いずれでもよい．

2.2 基板バイアス係数

提案したEIB-DTMOSと従来型DTMOSの基板バイアス係数を定性的に比較する．図3に従来型DTMOSとEIB-DTMOSの基板バイアス係数(γ)の決まる原理と式を示す．C_{fox}はゲート酸化膜容量，C_Dはチャネル空乏層容量，C_{SOI}はSOI容量，t_{fox}はゲート酸化膜厚，l_Dはチャネル空乏層幅，t_{SOI}はSOI膜厚，N_Aはチャネル濃度を示す．従来型DTMOSでは均一チャネルプロファイルを仮定した．従来型DTMOSでチャネル空乏層幅はチャネル濃度で決まるため，γを大きくするためにはチャネル濃度を上げる必要がある．しかし従来型DTMOSではV_{th}を0.3V程度に設定しているためチャネル濃度は低く抑えられ，γは0.2 - 0.3と低い[1,3]．一方EIB-DTMOSではチャネル空乏層幅がSOI膜厚と等しいため，SOIを薄膜化することによりγを大きくすることが出来る．またEIB-DTMOSを4.2章で述べるアキュミュレーションモードで動作させれば高γと低V_{th}を両立できる．従ってγの大きいEIB-DTMOSは従来型DTMOSより高駆動力が得られる．チャネル空乏層幅の縮小は短チャネル効果抑制作用もある．

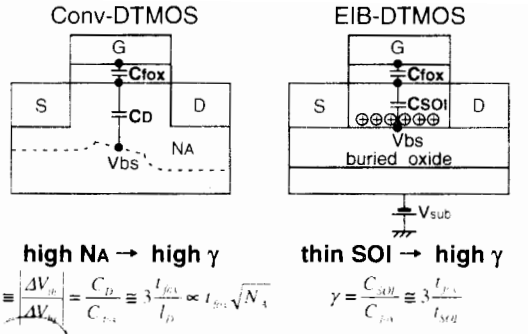


図3: 従来型DTMOSとEIB-DTMOSの基板バイアス係数(γ)

3 EIB-DTMOSの試作・評価

EIB-DTMOSのメリットを実証するために，インバージョンモードEIB-DTMOSを完全空乏型(FD) SOI MOSFET，部分空乏型(PD) SOI MOSFETと実測で比較した．図4に試作したデバイスの断面図を示す．

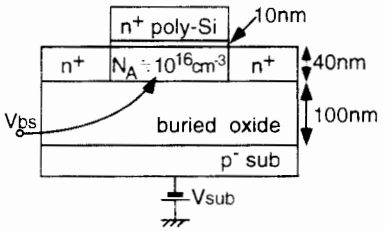


図4: 試作デバイス

表2: 3つのモードで動作させるバイアス条件

operation mode	Vbs	Vsub
FD SOI	0V	0V
PD SOI	0V	-20V
Inv. EIB-DTMOS	=Vgs	-20V

測定したデバイスはSIMOX基板上に作成したボディコンタクト端子を有するFD SOI nMOSFETである[10]．ゲート酸化膜厚は10nm，SOI膜厚は40nm，埋め込み酸化膜厚は100nmである．ゲートはn^+ poly-Siでありチャネルはp型で濃度は$10^{16}cm^{-3}$台前半である．同一のデバイスを表2に示すようにバイアス条件を変化させて測定することにより3つのモードで動作させ比較した．V_{bs}= 0V，V_{sub}= 0Vの時，SOI層全体が空乏しFD SOI MOSFETモードで動作する．V_{bs}= 0V，V_{sub}= -20Vの時，バック界面にホールが蓄積しPD SOI MOSFETモードで動作する．ゲートとボディを結びV_{sub}= -20Vの時，インバージョンモードEIB-DTMOSモードで動作する．

図 5 に 3 つのモードのサブスレッショルド特性を示す. PD SOI MOSFET の V_{th} は高すぎ, FD SOI MOSFET の V_{th} は低すぎるが EIB-DTMOS の V_{th} は両者の間である. EIB-DTMOS は急峻なサブスレッショルド特性を示している. 図 6 に EIB-DTMOS と V_{bs} を 0.1V 刻みで変化させた PD SOI MOSFET のサブスレッショルド特性を示す. EIB-DTMOS のボディ電流 (=ゲート電流) も合わせて示す. PD SOI MOSFET では V_{bs} を上げるにつれ基板バイアス効果により V_{th} が大きく低下している. EIB-DTMOS は PD SOI MOSFET と同一のデバイス構造を持つため, EIB-DTMOS の γ を PD SOI MOSFET での V_{th} の V_{bs} 依存から求めることが出来る. 図 6 より求めた EIB-DTMOS の γ は 0.8 と非常に高い. γ が高い理由は図 3 の式で示したように SOI 膜厚とゲート酸化膜厚の比が高いからである. また, EIB とドレイン間の直接トンネル電流は観測されなかった. 図 7,8 に 3 つのモードの短チャネル効果による V_{th} の低下と S 値の劣化を示す. V_{th} の定義を図 7 中に示す. EIB-DTMOS はバック界面のポテンシャルが固定される上, ソース・ドレイン空乏層幅が順バイアスにより縮むため短チャネル効果を最も抑制している. EIB-DTMOS は S 値が長チャネルでは理想値を示す. 図 9 に 3 つのモードのオン電流/オフ電流特性を示す. それぞれのデバイスでゲート長を変化させた. EIB-DTMOS は γ の大きい DTMOS 動作をし,短チャネル効果も抑制しているため高駆動力かつ低リーク電流を実現している. これに対し, PD SOI MOSFET は低駆動力であり FD SOI MOSFET はリーク電流が大きい.

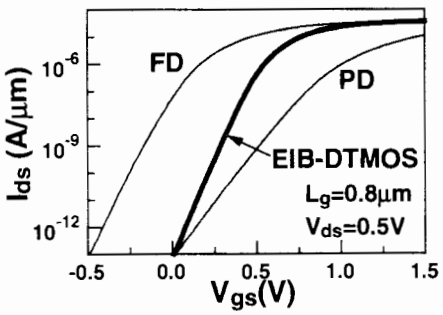


図 5: 3 つの動作モードのサブスレッショルド特性 (実測)

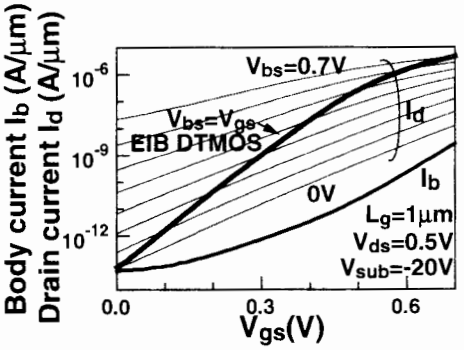


図 6: EIB-DTMOS と V_{bs} を変化させた PD SOI MOSFET のサブスレッショルド特性 (実測)

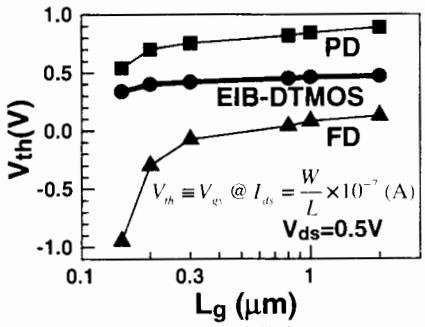


図 7: V_{th} のゲート長依存 (実測)

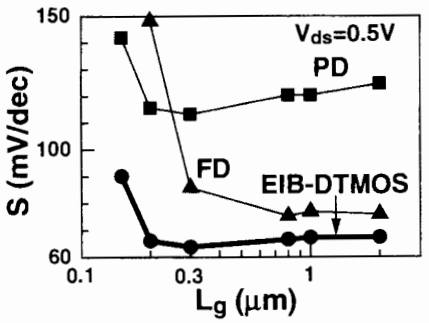


図 8: サブスレッショルド係数のゲート長依存 (実測)

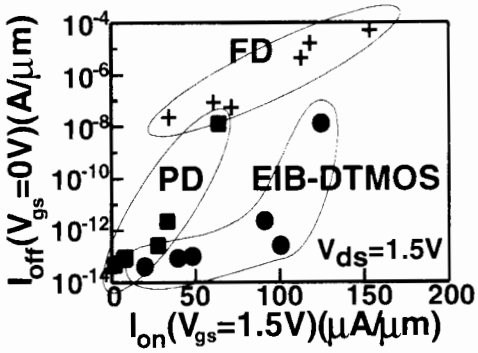
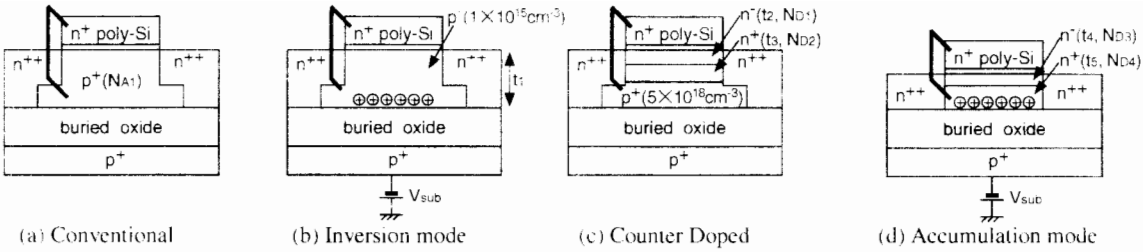


図 9: オン電流/オフ電流特性 (実測)



(a) Conventional DTMOS　(b) Inversion mode EIB-DTMOS　(c) Counter Doped DTMOS　(d) Accumulation mode EIB-DTMOS

図 10: 比較を行った 4 つの DTMOS. (a)が従来型 DTMOS[1-6]で(c)がカウンタードープ DTMOS[2]. (b)と(d)が本研究で提案する EIB-DTMOS で, (b)がインバージョンモード, (d)がアキュミュレーションモード. $t_2 = t_4 = 5$ nm, $t_5 = 10$ nm, $N_{D1} = N_{D3} = 1\text{x}10^{17}$ cm^{-3}, $N_{D2} = 5\text{x}10^{18}$ cm^{-3}, $N_{D4} = 1\text{x}10^{19}$ cm^{-3}. N_{A1}, t_1, t_3は変化させた.

4　従来の DTMOS との比較

本章では図 10 に示す 4 種の DTMOS をデバイスシミュレーションにより比較しアキュミュレーションモード EIB-DTMOS が最も優れた DTMOS であることを示す. すべてのデバイスにおいてゲート酸化膜厚 3nm, 埋め込み酸化膜厚 20nm, 電源電圧 0.5V, エクステンションの接合深さ 15nm とした. EIB-DTMOS の基板バイアスは-12V とした.

4.1　インバージョンモード EIB-DTMOS

まず 2 つのインバージョンモードのデバイスに注目する. 図 10 (a)は従来型 DTMOS[1-6], 図 10 (b)はインバージョンモード EIB-DTMOS である. 従来型 DTMOS は p 型の均一チャネルプロファイルを仮定し, SOI 層は部分空乏している. 一方, インバージョンモード EIB-DTMOS のチャネルは 1×10^{15} cm^{-3}の p 型である.

図 11 に従来型 DTMOS とインバージョンモード EIB-DTMOS における V_{th}のγ依存のシミュレーション結果を示す. 従来型 DTMOS ではチャネル濃度 N_{A1}を, インバージョンモード EIB-DTMOS では SOI 膜厚 t_1を変化させることによりプロットした. 同一 V_{th}においてインバージョンモード EIB-DTMOS は従来型 DTMOS の 2 倍のγを有している. なぜならインバージョンモード EIB-DTMOS は非常に急峻なステップ形状のチャネルプロファイルを有するため, 同一 V_{th}においてチャネル空乏層幅が均一チャネルプロファイルを有する従来型 DTMOS の半分になるからである[11].

図 11 には 3 章の実測結果(V_{th} =0.45V, γ =0.8)も合わせてプロットした. シミュレーション結果と非常によく一致した. しかし実測の V_{th}は 0.5V 以下の電源電圧用としては高すぎる. 図 11 はいずれの DTMOS でも V_{th}を下げるとγも同時に下がってしまう欠点を示している. 従ってインバージョンモード DTMOS では高γと低 V_{th}を同時に実現することができない.

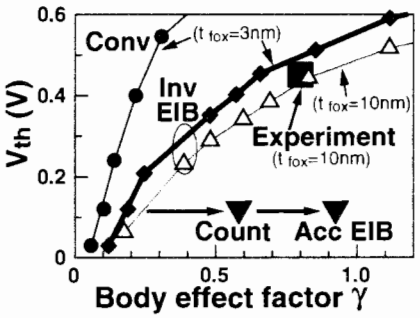


図 11: V_{th}のγ依存 (シミュレーション+実測)

4.2　アキュミュレーションモード EIB-DTMOS

高γと低 V_{th}を同時に実現するためにはアキュミュレーションモードの DTMOS が必要である. 図 10 (c)に既に提案されているカウンタードープ DTMOS [2], 図 10 (d)にアキュミュレーションモード EIB-DTMOS を示す. いずれのデバイスもチャネルドーピングは n 型であり, 不純物散乱を低減するためフロント界面付近は低濃度にドーピングしている. アキュミュレーションモード EIB-DTMOS のボディは EIB であるため, 高濃度かつキャリアプロファイルが非常に急峻である. 一方, カウンタードープ EIB-DTMOS ではカウンタードープ領域だけでなくボディ領域もドーピングにより形成されているため, アキュミュレーションモード EIB-

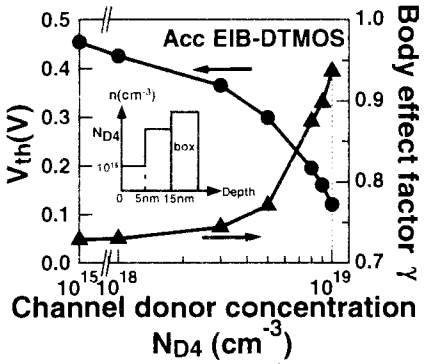


図 12: アキュミュレーションモード EIB-DTMOS の V_{th} と γ の n 型チャネル濃度依存 (シミュレーション)

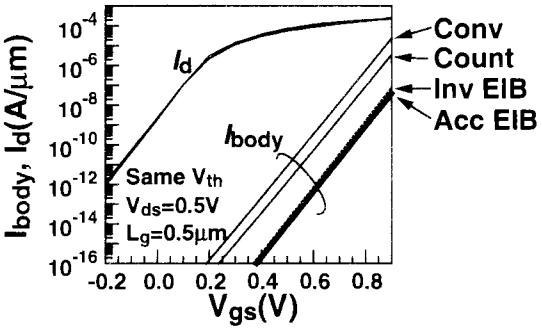


図 13: ボディ電流とドレイン電流のゲート電圧依存(シミュレーション)

DTMOS ほどのボディの濃度やプロファイルの急峻さを達成することが難しい.

n 型チャネル濃度 N_{D4} はアキュミュレーションモード EIB-DTMOS の重要なパラメータである. そこで図 12 にアキュミュレーションモード EIB-DTMOS における V_{th} と γ の n 型チャネル濃度 N_{D4} 依存を示す. n 型チャネル濃度が $1\times10^{15}\,cm^{-3}$ の場合はインバージョンモード EIB-DTMOS と等しい. n 型チャネル濃度を高くするにつれ V_{th} が下がり, 動作モードが表面チャネルから埋込チャネルになるため γ もやや増大する. 従ってアキュミュレーションモード EIB-DTMOS は高 γ と低 V_{th} を同時に実現できる. 図 12 では表れていないが n 型チャネル濃度を上げ過ぎるとパンチスルーが起こる. 以後 n 型チャネル濃度は $1\times10^{19}\,cm^{-3}$ とする.

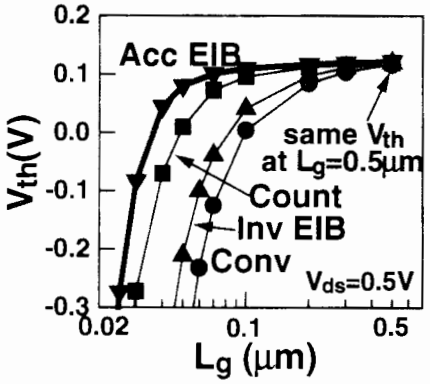
図 11 にカウンタードープ DTMOS とアキュミュレーションモード EIB-DTMOS の V_{th} と γ を追加プロットした. 0.12V の V_{th} においてインバージョンモード DTMOS の γ が 0.1～0.2 に対し, アキュミュレーションモード EIB-DTMOS の γ は 0.9 以上と非常に高い値が得られた.

4.3 性能比較

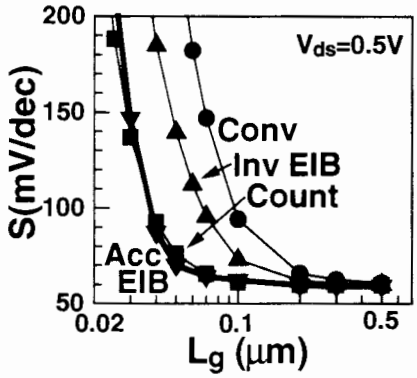
pn 接合の順バイアスによるボディリーク電流により電源電圧に上限があるのが DTMOS の欠点の 1 つである. 図 13 に 4 つの DTMOS のボディ電流とドレイン電流のゲート電圧依存を示す. V_{th} は揃えてある. EIB-DTMOS はインバージョンモード, アキュミュレーションモード共に最もボディリーク電流が小さい. なぜなら, 接合面積が小さく, ボディのホール濃度が大きいからである. 従って EIB-DTMOS は従来の DTMOS より電源電圧の上限が高い. 例えば電源電圧の上限 $V_{dd(max)}$ を $V_{gs}=V_{bs}=$ 0V でのドレイン電流と $V_{gs}=V_{bs}=V_{dd(max)}$ でのボディ電流が等しくなる点と定義すると, 図 13 より従来型 DTMOS の $V_{dd(max)}$ は 0.65 V に対し, EIB-DTMOS の $V_{dd(max)}$ は 0.82 V と高い. なお, ゲート長を更に微細化するために EIB-DTMOS の SOI 膜を 10nm 以下に薄くした場合, フロント界面の反転電子とバック界面の EIB (ホール) 間で直接トンネル電流によるリーク電流が生じる可能性がある[12].

次に短チャネル効果を比較する. 図 14 にゲート長 0.5 μm において V_{th} が 0.12V になるようにデバイスパラメータを設定した 4 つの DTMOS の V_{th} と S 値のゲート長依存を示す. アキュミュレーションモード EIB-DTMOS はチャネル空乏層幅が最小であるため最も短チャネル効果を抑制しており, ゲート長 0.04 μm 程度まで正常動作する.

図 14 のデバイスのオン電流/オフ電流特性を図 15 に示す. 各 DTMOS のゲート長を変化させることによりプロットした. ゲート長 0.07 μm に注目するとオン電流に大きな差はないが, アキュミュレーションモード EIB-DTMOS は短チャネル効果を抑制しているためオフ電流が従来型 DTMOS に比べ 3 桁小さい. 図 16 にゲート長 0.07 μm でオフ電流が同じになるようにデバイスパラメータを設定した 3 つの DTMOS のオン電流/オフ電流特性を示す. 従来型 DTMOS とカウンタードープ DTMOS のデバイスパラメータのみ図 15 と異なる. ゲート長 0.07 μm においてアキュミュレーションモード EIB-DTMOS は従来型 DTMOS と比べ短チャネル効果を抑制し γ が高いため, 同一オフ電流で 1.5 倍の高駆動力を示す. また図 16 中の表に示すようにアキュミュレーションモード EIB-DTMOS は DIBL が小さい. これらの結果は, アキュミュレー



(a) V_{th}のゲート長依存



(b) サブスレッショルド係数のゲート長依存

図 14: V_{th}とサブスレッショルド係数のゲート長依存 (N_{A1} = 3.1×10^{16} cm^{-3}, t_1 = 89nm, t_3 = 8.7nm) (シミュレーション)

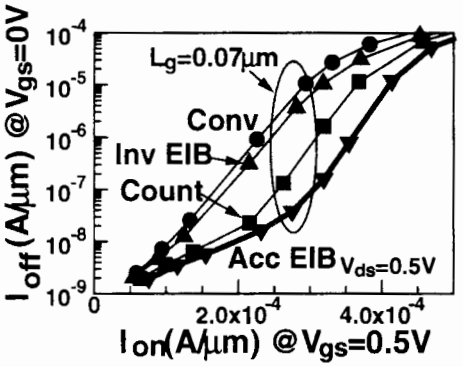


図 15: オン電流/オフ電流特性. (デバイスパラメータは図 14 と同一.) (シミュレーション)

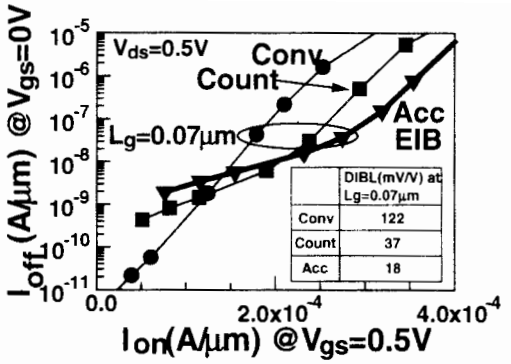


図 16: オン電流/オフ電流特性. (ゲート長 0.07 μ m においてオフ電流を揃えた.) (N_{A1} = 2×10^{17} cm^{-3}, t_3 = 8 nm) (シミュレーション)

ションモード EIB-DTMOS がいかなる条件においても他の DTMOS より高性能であることを示している.

最後に, AC 特性を比較する. 図 16 で示した DTMOS のゲート遅延の配線容量依存を図 17 に示す. ゲート遅延は 3 段インバータチェーンの mixed-mode シミュレーション[13]から求めた. 電源電圧 0.5V, ゲート長 0.07 μ m, ゲート幅 0.5 μ m(nMOS), 1 μ m(pMOS)である. アキュミュレーションモード EIB-DTMOS が高駆動力かつ低接合容量であるため最も高速である.

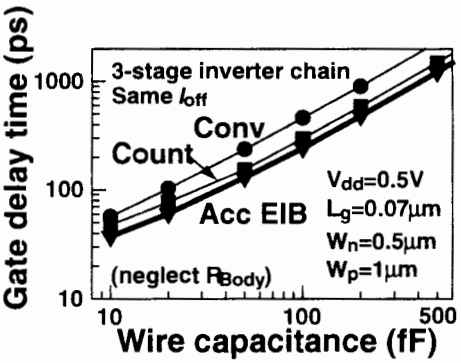


図 17: インバータ遅延の配線負荷依存(シミュレーション)

4.4 ボディ抵抗

図 17 ではゲート幅が小さいためボディ抵抗の影響は無視できる. しかし DTMOS ではボディの側面からボディコンタクトを取り出しゲートとボディを結ぶため, ボディはゲート幅方向に分布定数線路になっている. ゲート幅を大きくなるとボディ RC 遅延がゲート遅延と同等になりボディ電位がゲート電位に追随しなくなり, 駆動力が低下し速度が低

トする．更にボディRC遅延がゲート遅延よりはるかに大きくなれば，ボディ電位は全くゲート電位に追随しなくなり回路速度が過去の履歴依存を示す[14]．

そこでアキュミュレーションモードEIB-DTMOSのボディ抵抗に注目する．図18はボディシート抵抗のn型チャネル濃度N_{D4}依存を示す．基板バイアスを変化させてある．図12で示したようにアキュミュレーションモードEIB-DTMOSでは高γと低V_{th}のためにn型チャネル濃度は高いのが望ましい．しかしn型チャネル濃度を高くするとバック界面の$|V_{th}|$が上がるため，ボディ抵抗が高くなってしまう．アキュミュレーションモードEIB-

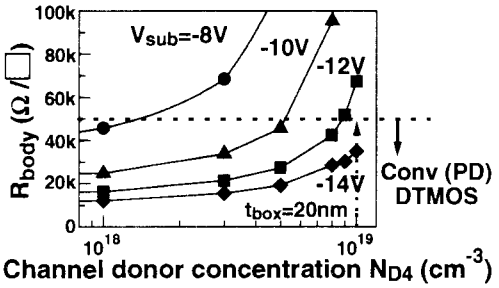


図18: アキュミュレーションモードEIB-DTMOSのボディシート抵抗のn型チャネル濃度依存（シミュレーション）

DTMOSのボディ抵抗を従来型DTMOSのボディ抵抗（ワーストケースで50 kΩ/□）と同程度までドげるためには高い基板バイアスが必要である．しかし高い基板バイアスは埋め込み酸化膜の信頼性に悪影響(E_{box} > 5 MV/cm)を及ぼす．従ってアキュミュレーションモードEIB-DTMOSにおいてボディ抵抗低減と埋め込み酸化膜の信頼性はトレードオフの関係にある．

ボディRC遅延対策としてW_g/L_g比に上限を設けることが考えられる．ゲート幅の大きいMOSFETはゲート幅の小さい多数のMOSFETに分割しそれぞれにボディコンタクトを取る．ボディRC遅延はW_g^2/L_gに比例しゲート遅延はL_gに比例するため，ある世代でボディRC遅延の影響のないW_g/L_g比を見い出せばW_g/L_g比を一定に保って微細化を進める限り将来に渡りボディRC遅延の問題は生じないと考えられる．

5 まとめ

基板バイアス効果が大きく低V_{th}の超低消費電力高性能EIB-DTMOSを提案し，デバイス試作により実証した．EIB-DTMOSはSOI中のバック界面に電気的に誘起した急峻なプロファイルの高濃度ボディ(EIB)と薄膜SOIにより基板バイアス効果を極めて大きくすることが出来る．複数のDTMOSをシミュレーションで比較した結果，アキュミュレーションモードEIB-DTMOSはV_{th}シフトが最大かつ短チャネル効果を抑制するため，一定オフ電流で駆動力が最大である事を示した．従ってアキュミュレーションモードEIB-DTMOSは0.5V以下での超低電源電圧において高駆動力と低リーク電流を両立する高性能MOSFETである．

謝辞

デバイス試作に協力して頂いた更屋拓哉氏，トラン・デュエト氏に深く感謝致します．本研究は日本学術振興会 未来開拓学術推進事業の補助を受けた．

参考文献

[1] F. Assaderaghi, D. Sinitsky, S. Parke, J. Boker, P. K. Ko, and C. Hu, *IEDM Tech. Dig.*, p.809, 1994.
[2] C. Wann, F. Assaderaghi, R. Dennard, C. Hu, G. Shahidi, and Y. Taur, *IEDM Tech. Dig.*, p.113, 1996.
[3] H. Kotaki, S. Kakimoto, M. Nakono, T. Matsuoka, K. Adachi, K. Sugimoto, T. Fukushima, and Y. Sato, *IEDM Tech. Dig.*, p.459, 1996.
[4] T. Tanaka, Y. Momiyama, and T. Sugii, *IEDM Tech. Dig.*, p.423, 1997.
[5] A. Shibata, T. Matsuoka, S. Kakimoto, H. Kotaki, M. Nakono, K. Adachi, K. Ohta, and N. Hashizume, *Symp. on VLSI Tech. Dig.*, p.76, 1998.
[6] H. Kotaki, S. Kakimoto, M. Nakono, K. Adachi, A. Shibata, K. Sugimoto, K. Ohta, and N. Hashizume, *IEDM Tech. Dig.*, p.415, 1998.
[7] M. Takamiya and T. Hiramoto, *IEDM Tech. Dig.*, p.423, 1998.
[8] I. Y. Yang, C. Vieri, A. Chandrakasan, and D. A. Antoniadis, *IEDM Tech. Dig.*, p.877, 1995.
[9] T. Kachi, T. Kaga, S. Wakahara, and D. Hisamoto, *Symp. on VLSI Tech. Dig.*, p.124, 1996.
[10] 高宮 真，更屋拓哉，トラン・デュエト，田中 剛，石黒仁揮，平本俊郎，生駒俊明，電子情報通信学会，信学技報，SDM96-49, p.81, 1996.
[11] M. Takamiya, T. Saraya, T. N. Duyet, Y. Yasuda, and T. Hiramoto, *Ext. Abs. SSDM*, p.312, 1998.
[12] J. H. Choi, Y. J. Park, and H. S. Min, *IEDM Tech. Dig.*, p.645, 1994.
[13] *Medici Ver. 4.1.0*, Avant! Corp, 1998.
[14] G. O. Workman and J. G. Fossum, *IEEE Trans. Electron Devices*, vol.45, p.2138, 1998.