

超低消費電力高性能アキュムレーションモード EIB-DTMOS の提案

Proposal of a Low Power High Performance Accumulation Mode EIB-DTMOS

東大生研* 東大 VDEC** ◯高宮 真*、平本俊郎*、**

IIS, Univ. of Tokyo* VDEC, Univ. of Tokyo** M.Takamiya*, and T.Hiramoto*、**

E-mail: taka@nano.iis.u-tokyo.ac.jp

1,はじめに DTMOS の高駆動力化の指針は基板バイアス係数 γ ($\equiv \Delta V_{th}/\Delta V_{bs}$) を高め、オン時の V_{th} を下げることである。前回, γ の大きい EIB (Electrically Induced Body)-DTMOS を提案・実証したが [1-3], インバージョンモード (Inv) で動作するため, SOI を薄くして γ を大きくすると V_{th} も上がってしまう欠点があった。そこで今回, 高 γ と低 V_{th} が両立できるアキュムレーションモード (Acc) EIB-DTMOS を提案する [4]。

2,デバイス構造 図 1 に Acc EIB-DTMOS のデバイス構造を示す。チャンネルドーピングは n 型であるのでアキュムレーションモードで動作する。基板バイアス V_{sub} により SOI 中のバック界面にホールを反転により誘起し, これを DTMOS の body としゲートと結ぶ。SOI を薄膜化することによりチャンネル空乏層幅を縮小し高 γ が得られる上, n 型チャンネル濃度を上げることで低 V_{th} も同時に実現できる。

3,シミュレーション 長チャンネル ($L_g=0.5\mu m$) において V_{th} が同一になるように SOI 膜厚とチャンネル濃度のみを変えた Inv EIB-DTMOS と Acc EIB-DTMOS を比較する。図 2 に両者の $I_{off}-I_{on}$ 特性を示す。Acc EIB-DTMOS は Inv EIB-DTMOS に比べ SOI 膜厚が薄くチャンネル空乏層幅が小さいため, 高 γ かつ短チャンネル効果を抑制しており, 高 I_{on} かつ低 I_{off} を実現している。なお, body RC 遅延がゲート遅延に及ぼす影響及び対策については当日発表する。

4,結論 アキュムレーションモード EIB-DTMOS は (1) 高 γ , (2) 低 V_{th} , (3) 理想的な S 値, (4) 短チャンネル効果抑制, (5) 順方向 pn 接合リークが小, 等の優れた特性を示すため電源電圧 0.5V 以下でも高駆動力と低リーク電流を両立できる非常に高性能な超低消費電力デバイスである。

[1] 高宮 他: 1998 年秋季応物, 15a-P9-2.

[2] 高宮 他: 1998 年秋季応物, 15a-P9-3.

[3] M. Takamiya *et al.*: SSDM, p.312, 1998.

[4] M. Takamiya *et al.*: IEDM, p.423, 1998.

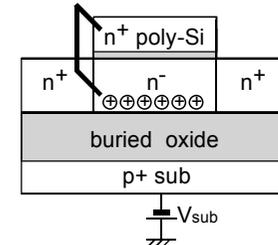


図 1. Acc EIB-DTMOS のデバイス構造.

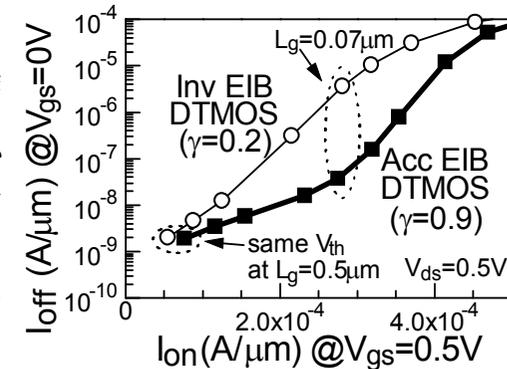


図 2. $I_{off}-I_{on}$ 特性. ゲート長を変化させた. ($t_{ox}=3nm, t_{box}=20nm, X_j=15nm, V_{sub}=-12V$)