

C-12-10 オンチップデカップリング用 MOS ゲート容量のゲート長の検討

An investigation on the gate length of on-chip decoupling MOS capacitors

高宮 真 中村和之
M. Takamiya and K. Nakamura

NEC システムデバイス・基礎研究本部
System Devices and Fundamental Research, NEC Corporation

1. はじめに

LSI の高速化、大規模化、低電圧化が進むにつれ、CMOS 回路のスイッチング電流による電源ノイズの問題が顕在化しつつある。この対策として、図 1 に示すように V_{dd} /Gnd 間にオンチップのデカップリング容量を挿入するのが有効である。通常、オンチップデカップリング容量として MOS ゲート容量が使用される。今回、MOS ゲート容量のモデル化を行い、周波数応答を調べることにより、オンチップデカップリング用 MOS ゲート容量のゲート長の最適値の検討を行ったので報告する。

2. MOS 容量のモデル化

MOS ゲート容量の周波数応答はソース・ドレイン間に分布するチャネル抵抗とゲート容量の RC 時定数で決まる[1]。しかし、図 2(a) に示すように、SPICE における MOS ゲート容量は、チャネル抵抗とゲート容量が集中定数として扱われているため、容量の周波数依存が表現できない。そこで、図 2(b) に示すようにソース・ドレイン間に分布するチャネル抵抗とゲート容量を π -ladder で 20 分割することにより、MOS ゲート容量をモデル化した。ここで C_g はゲート容量、 R_{ds} は $V_{ds}=10\text{mV}$ 、 $V_{gs}=V_{dd}$ の時のチャネル抵抗(V_{ds}/I_d)である。 C_g は解析的に、 R_{ds} は SPICE で求める。本提案モデルではゲート電位変動に対する、ソース・ドレイン中間部の電位変動の遅れを表現できるため、容量の周波数依存をシミュレーションすることができる。

3. MOS 容量の周波数特性のシミュレーション

図 3 にレイアウト面積一定条件における、ゲート長の異なる MOS ゲート容量の周波数依存のシミュレーション結果を示す。図 3 の縦軸の規格化実効容量は、提案モデルを SPICE で AC 解析することにより求めた MOS ゲート容量を低周波での容量で規格化し、ソース・ドレインによるエリアペナルティを考慮した係数をかけることにより求めた。規格化実効容量=1 はソース・ドレインによるエリアペナルティがなく低周波での容量と等しいことを意味する。ゲート長が長い場合、エリアペナルティが小さいため低周波では規格化実効容量が大きいが、高周波における規格化実効容量は小さい。これに対し、ゲート長が短い場合、エリアペナルティが大きいため規格化実効容量は低周波においては小さいが、高周波まで容量が減少しない。従って、各周波数において規格化実効容量が最大となる最適ゲート長が存在する。例えば 12GHzにおいて、最小ゲート長を L_{gmin} とすると、最適ゲート長はほぼ $10 \times L_{gmin}$ であり、規格化実効容量が最大値 0.67 となる。図 4 に周波数と最適ゲート長の関係を示す。最適ゲート長は L_{gmin} で規格化し、 $0.13\mu\text{m}$ プロセスと $0.25\mu\text{m}$ プロセスの 2 通りについてシミュレーションを行った。図 4 より、周波数の増大に伴い、最適ゲート長は減少する。また、CMOS 回路のスイッチング電流と同等以上の周波数応答を MOS ゲート容量で実現するためには、ゲート長を $10 \times L_{gmin}$ 以下にする必要がある。2 つのプロセスを比較すると、微細化によりスイッチング電流と MOS ゲート容量は同じ比率で高速化するため、必要な規格化最適ゲート長はほぼ同じとなる。

4. まとめ

オンチップデカップリング用 MOS ゲート容量のチャネル領域の分布 RC をモデル化することにより、容量の周波数依存を調べた。その結果、ソース・ドレインによるエリアペナルティを考慮すると、各周波数について容量が最大となる最適ゲート長が存在することを見いたした。また、CMOS 回路のスイッチング電流と同等以上の周波数応答を実現するためには、プロセスの世代によらず、MOS 容量のゲート長を最小ゲート長の 10 倍以下にする必要があることがわかった。

参考文献 [1] P. Larsson, IEEE JSSC, vol. 32, No. 4, pp. 574-576, Apr. 1997.

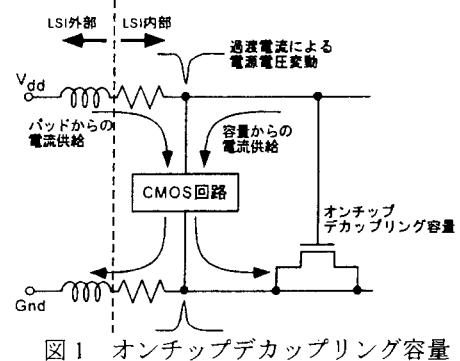
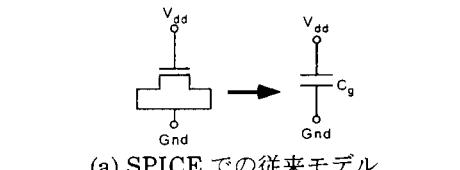
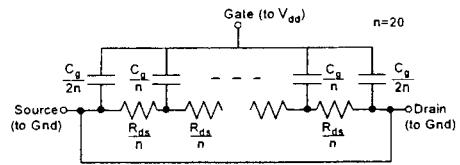


図 1 オンチップデカップリング容量



(a) SPICE での従来モデル



(b) 提案モデル

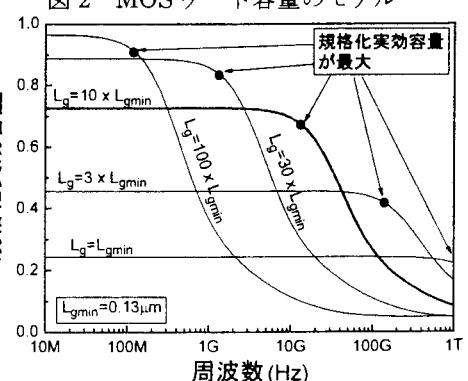


図 3 ゲート長の異なる MOS ゲート容量の周波数依存

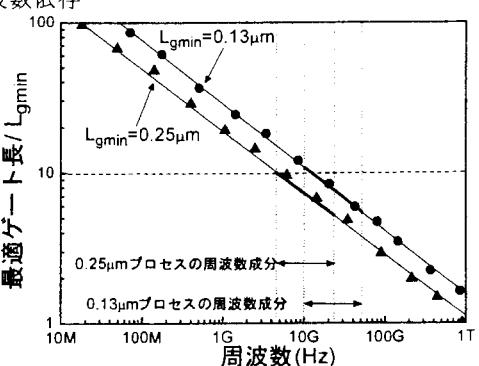


図 4 周波数と最適ゲート長の関係