

シグナルインテグリティ評価用 100-GSa/s サンプリングオシロスコープマクロの設計と評価

高宮 真 水野 正之 中村 和之*

NEC シリコンシステム研究所
〒229-1198 神奈川県相模原市下九沢 1120

*現在 九州工業大学 マイクロ化総合技術センター
〒820-8502 福岡県飯塚市川津 680-4

E-mail: taka@mel.cl.nec.co.jp

あらまし LSI 上のシグナルインテグリティ（波形品質の完全性）の評価を目的として、0.13- μm CMOS でサンプリングオシロスコープマクロの設計と評価を行った。位相補間を利用した小面積(23,600 μm^2)のサンプリングクロック発生回路を内蔵することにより、測定方法が簡単になった上、サンプリングレートが 100 GSample/s の高精度測定を達成した。また、電荷分配を利用した新型サンプリングヘッドにより、測定電圧範囲を -0.3V から Vdd+0.3V に広げることに成功した。更に、マクロ自身の電源ノイズ、基板ノイズを低減するためにデカップリング容量を搭載することにより、測定結果の低ノイズ化に成功した。

キーワード シグナルインテグリティ、電源ノイズ、サンプリング、オシロスコープ、デカップリング

A 100-GSa/s Sampling Oscilloscope Macro for Checking Signal Integrity in LSI

Makoto TAKAMIYA, Masayuki MIZUNO, and Kazuyuki NAKAMURA*

Silicon Systems Research Labs, NEC Corporation
1120, Shimokuzawa, Sagamihara, Kanagawa, 229-1198, Japan
‡ now with Center for Microelectronic Systems, Kyushu Institute of Technology
680-4, Kawazu, Iizuka, Fukuoka, 820-8502, Japan

E-mail: taka@mel.cl.nec.co.jp

Abstract An on-chip 100-GHz-sampling-rate, 8-channel sampling oscilloscope for signal integrity checking has been developed with a 0.13- μm CMOS process. It contains a phase-interpolated sampling clock generator for 100-GHz sampling rates, charge-sharing sampling heads for a wide -0.3V to Vdd+0.3V input range, and decoupling capacitors for noise-immune measurement. Supply noise and substrate noise are successfully measured by the macro.

Key words Signal integrity, Supply noise, Sampling, Oscilloscope, Decoupling

1. はじめに

LSI 上での電源ノイズ、基板ノイズ、配線間のクロストーク、配線のインダクタンス効果等によるシグナルインテグリティ（波形品質の完全性）の劣化が、LSI トータルでの性能向上を阻害しており、大きな問題となっている。シグナルインテグリティを実現するためには、まず現状の LSI 上での電圧波形を実測により把握し、実測を元にモデル化を行い、CAD による上記現象を回避した設計を行う必要がある。

ところが、これらの現象はクロック信号の立ち上がり、立ち下がりに起因するため数 10ps と非常に高速な上、微少な電圧変化である。従って、観測用の線を LSI 外部に引き出して外部から測定しても、引き出し線の寄生 R, L, C 成分により LSI 上の波形の正確な評価ができない。正確な評価を行うためには、オンチップにサンプリング型の波形測定回路を搭載し、高速な LSI 上の波形をサンプリングによって低速に変換して LSI 外部に出力して測定しなければならない。そこで、我々はシグナルインテグリティの評価、特に電源ノイズの評価を目的としてオンチップ波形測定回路の開発を行った[1]。

2. サンプリング型の波形測定回路への要求と従来回路の問題点

サンプリング型の波形測定回路を、様々な LSI のシグナルインテグリティの評価に広く適用するためには下記の 3 つの要求を満たす必要がある。

- (a) サンプリングレート 100 GSample/s 程度の高精度
- (b) 接地電圧以下から電源電圧以上までの広い測定電圧範囲
- (c) 容易な測定方法

(a)の理由は、1 章で述べたように測定対象が数 10ps オーダの高速な現象であるからである。(b)の理由は、インダクタンス成分により、電源線/接地線/信号線の電圧波形が電源電圧以上にオーバーシュートしたり、接地電圧以下にアンダーシュートするからである。(c)の理由は、特殊で複雑な測定系が必要な波形測定回路は利用範囲が狭いからである。

しかし、従来のサンプリング型の波形測定回路には下記(A)-(C)の 3 つの問題があった。サンプリング型の波形測定回路をアナログ出力型[2]とデジタル出力型[3,4]に大別して示す。

(A) サンプリングクロック信号を LSI 外部から供給するため、測定の精度（サンプリングレート）が低い。（アナログ出力型、デジタル出力型共通の問題）

サンプリング測定の精度は LSI 内部の信号とサンプリングクロック信号の周期の差で決まり、差が小さいほど精度が高い。サンプリングクロック信号を LSI 外部から供給する場合、LSI 内部の信号とサンプリングクロック信号の周期の差を微少量（例えば 10ps）に維持することは困難であり、測定の精度が低下してしまう。

(B) 測定可能な電圧範囲が狭い。（アナログ出力型の問題） rail-to-rail アンプを用いたとしても、接地電位から電源電位の範囲の電圧しか測定することができない。

(C) 測定方法が煩雑。（デジタル出力型の問題）

デジタル出力型ではサンプリングのタイミングとコンパレータに入力する参照電圧の両方をそれぞれ独立に変化させて、入力電圧と参照電圧の大小比較を多数回行い、その結果から入力波形を復元しなければならない。従って、測定系とデータ処理系が大変煩雑になってしまう[3,4]。

そこで、我々は(A)-(C)の問題を解決し、(a)-(c)の要求を満たすアナログ出力型の波形測定回路を新たに開発した。位相補間を利用した小面積で高精度のサンプリングクロック発生回路を内蔵することにより(A)の問題を克服し、電荷分配を利用した新型サンプリングヘッドにより(B)の問題を克服することに成功した。更に、測定回路自身の電源ノイズ、基板ノイズを低減するために測定回路にデカッピング容量を搭載することにより、測定結果の低ノイズ化に成功した。

3. サンプリングオシロスコープマクロの構成

3.1 全体構成

図 1 に開発した波形測定回路の全体ブロック図を示す。サンプリングオシロスコープの機能を有しているのでサンプリングオシロスコープマクロと呼ぶことにする。本マクロは 8 個のサンプリングヘッド(SH)と 1 つのサンプリングクロック発生回路(SCG)と 1 つの出力バッファから構成されている。面積節約のため、8 個のサンプリングヘッドはサンプリングクロック発生回路と出力バッファを共用している。セレクタにより 8 個のサンプリングヘッドから所望の 1 つのサンプリングヘッドを選択して測定を行う。サンプリングヘッドは LSI 内の電源線、接地線、クロック信号線、基板コンタクト等 8箇所に接続されており、各箇所の電位を測定することができる。サンプリングクロック発生回路は被測定回路と同一のクロックから、周期が 10ps 長いサンプリングクロックを発生しサンプリングヘッドに供給する。サンプリングヘッドはサンプリングクロックにより被測定回路からの入力波形の電

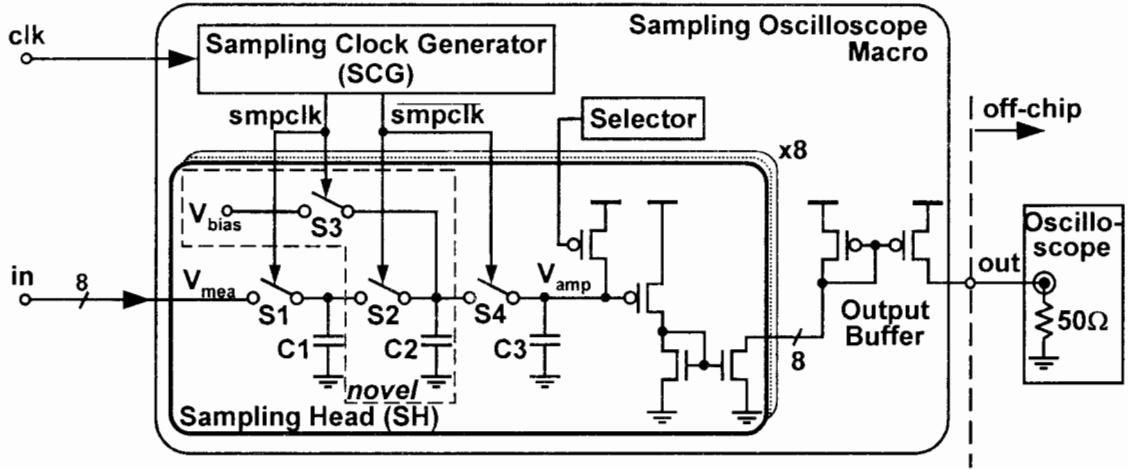


図1 サンプリングオシロスコープマクロの全体ブロック図

圧値をサンプリングして保持し、これをアンプで増幅してLSI外部の50Ω終端のオシロスコープへ電流出力を行う。

3.2 サンプリングヘッド(SH)

サンプリングヘッドはサンプルアンドホールド回路とアンプから構成される。従来のサンプリングヘッド[2]に対して、測定可能な電圧範囲を広げるために、図1のS2, S3, C2とV_{bias}を追加した。C1によって被測定電圧(V_{mea})をサンプルし、C2によってV_{mea}の範囲をサンプリングヘッド中にアンプの入力(V_{amp})範囲内(0.3V-0.9V)に縮め、C3によって被測定電圧値を保持する。S1-S4にはCMOSトランスマッショングートを用いた。図2にサンプリングヘッドの動作のSPICEシミュレーション結果を示す。サンプリングクロックの周期の前半では、S1, S3が閉じ、S2, S4が開き、C1の電位がV_{mea}と等しくなり、C2の電位がV_{bias}(~V_{dd}/2)と等しくなる。V_{bias}はアンプの入力範囲の中心に設定する。サンプリングクロックの周期の後半では、S1, S3が開き、S2, S4が閉じ、C1, C2, C3の3者間で電荷再分配が起こり、V_{amp}は式(1)の漸化式で表される。

$$V_{amp}^{n+1} = \frac{C_1 V_{mea} + C_2 V_{bias} + C_3 V_{amp}^n}{C_1 + C_2 + C_3} \quad (1)$$

但し、V_{amp}ⁿは時刻nにおけるV_{amp}、V_{amp}ⁿ⁺¹は時刻n+1におけるV_{amp}を表す。C1, C2, C3の値を調整することにより、接地電圧以下や電源電圧以上の信号が入力されてもV_{amp}をアンプの入力範囲内に収め、入力に比例した出力を実現することができる。今回の設計ではC1, C2, C3はそれぞれ20fF, 70fF, 210fFである。

このようにして、本サンプリングヘッドは接地電圧以下から電源電圧以上までの広い測定電圧範囲を実現できる。電圧の上限と下限はスイッチのCMOSトランスマッショングートを構成するnMOSとpMOSのしきい電圧で決まり、測定電圧範囲は-|V_{tn}|から

V_{dd}+|V_{tp}|である。但し、V_{tn}はnMOSのしきい電圧、V_{tp}はpMOSのしきい電圧を表す。スイッチの開閉による電荷注入やアンプの非線形性によりV_{mea}が歪むが、あらかじめキャリブレーション測定を行い既知のV_{mea}と出力電圧の関係を調べておけば問題ない。

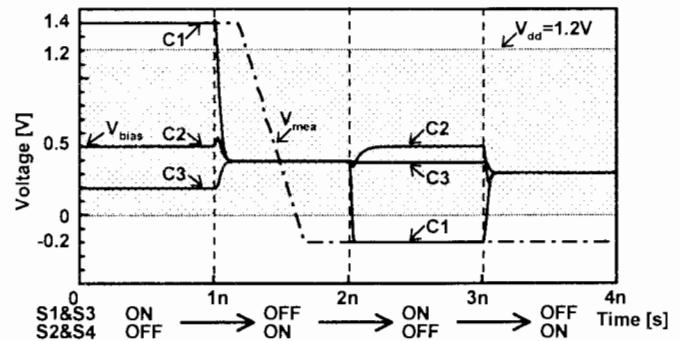


図2 サンプリングヘッドのSPICEシミュレーション結果

図3にサンプリングヘッドの相対ゲインの周波数特性をSPICEのtransient解析で求めた結果を示す。サンプリングレート(ここでは100 GSample/s)とサンプリングヘッドのスイッチと容量で決まる帯域は図3より6.4GHzである。図1のS2, S3とC2を加えることにより、加えない場合[2]に比べ帯域が2倍改善している。なぜなら、電圧ゲインと帯域はトレードオフの関係にあり、S2, S3とC2を加えることにより絶対ゲインを低下させたからである。

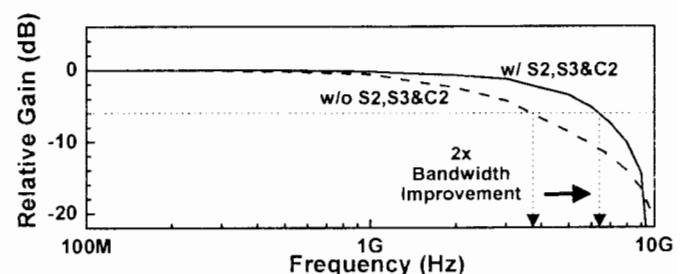


図3 サンプリングヘッドのゲインの周波数特性

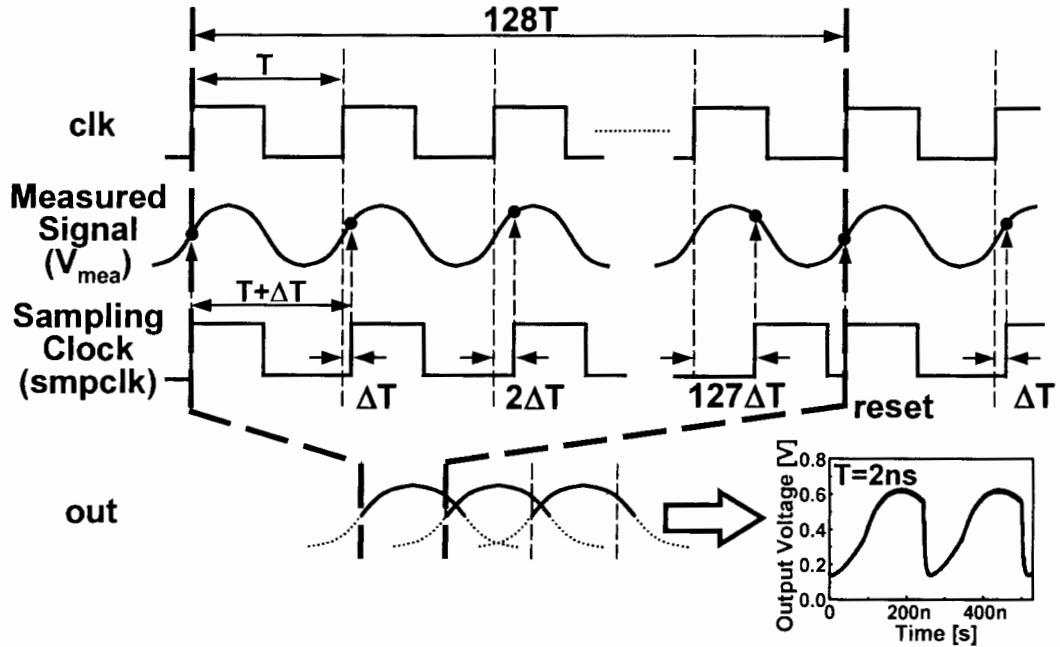


図 4 サンプリングオシロスコープマクロの動作のシミュレーション結果

3.3 サンプリングオシロスコープマクロの動作

図 4 にサンプリングオシロスコープマクロの動作のシミュレーション結果を示す。周期 T の入力信号を、周期が $T+\Delta T$ のサンプリングクロックでサンプリングすることにより、出力信号の時間軸が入力の $T/\Delta T$ 倍に拡大される。つまり、入力信号を等価的に ΔT 刻みでサンプリングした結果を、 $T+\Delta T$ 刻みでゆっくりと出力することができる。従って、出力を測定する LSI 外部のオシロスコープは低帯域で構わない。但し、本マクロでは 1 回の測定では入力波形の一部しか出力されない。(理由は次節で述べる。) 例えば、図 4 に示すように 2ns 周期の正弦波を測定した場合、 ΔT が 10ps でサンプリングすると、時間軸が $T/\Delta T=2\text{ns}/10\text{ps}=200$ 倍に拡大され、出力周期は $2\text{ns} \times 128=256\text{ns}$ となる。

3.4 サンプリングクロック発生回路(SCG)と測定の手順

図 5 にサンプリングクロック発生回路のブロック図を示す。遅延線方式を採用した。 ΔT を小さく保ったままで、面積を増やさずに測定可能な時間範囲をなるべく広くするため、オフセット遅延発生回路と遅延シフトブロックから構成される。入力クロックはオフセット遅延発生回路に入り、0ns から 7ns まで 1ns 刻みの遅延のいずれか 1 つの遅延を加えられる。次に遅延シフトブロックに入り、クロック入力毎に 10ps ずつ増加する遅延を加えることにより、周期 $T+10\text{ps}$ のサンプリングクロックを発生する。10ps の遅延は 160ps の単位遅延に対して位相補間回路[5,6]により 1/4 の位相補間を 2 度繰り返すことにより、生成している。この 10ps 刻みの遅延が実効サンプリングレー

ト 100 GSample/s に対応する。遅延シフトブロックでの遅延が $160\text{ps} \times 8 - 10\text{ps} = 1.27\text{ns}$ に達すると、遅延が 0s にリセットされる。従って、図 4 に示すように 1 回の測定出力の周期は 128T であり、入力信号の正弦波の一部しか出力されない。しかし、以下に示すように、オフセット遅延発生回路の遅延を変化させることにより、出力する部分を 1ns ずつシフトさせることができるので、出力波形をつなぎ合わせれば入力信号の正弦波全体を復元することができる。

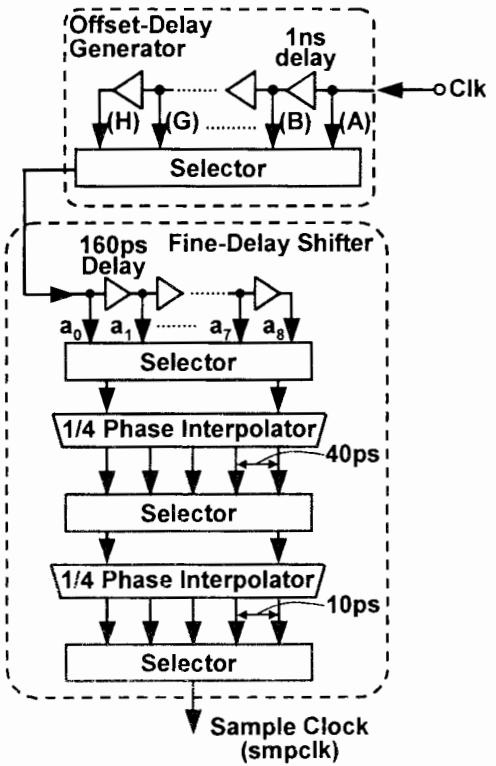


図 5 サンプリングクロック発生回路(SCG)のブロック図

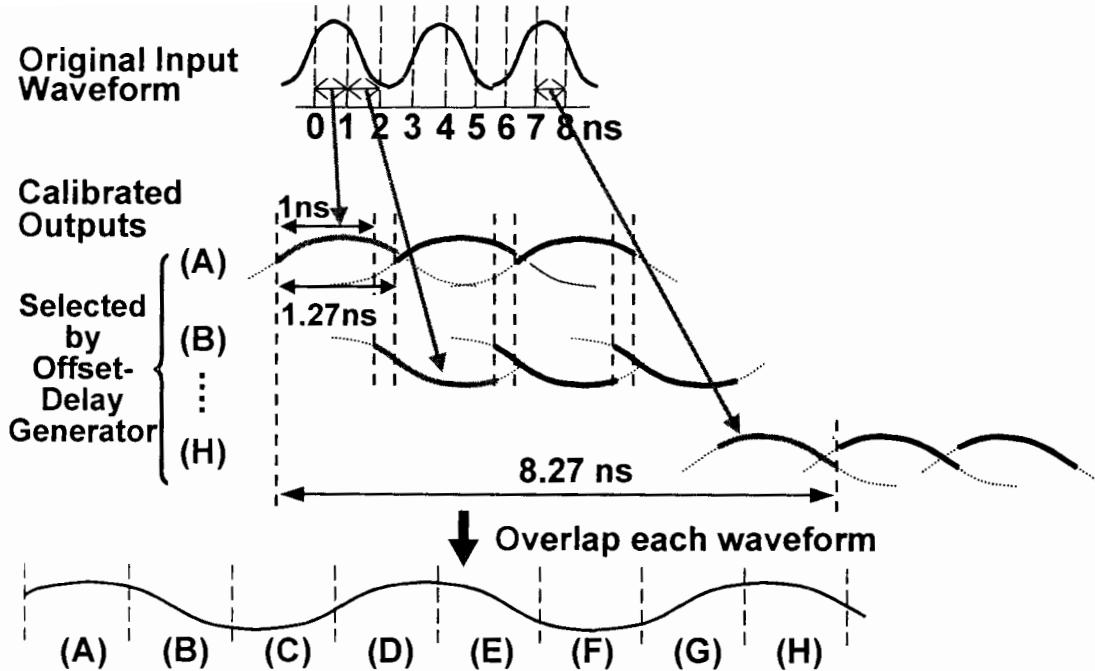


図 6 オフセット遅延発生回路を用いた測定の手順。(A)-(H)は図 5 に対応する。

図 6 を用いて測定の手順を以下に示す。

- (1) オフセット遅延発生回路の遅延を 0ns に設定する。遅延シフトブロックにより入力信号が 0ns から 1.27ns まで 10ps 刻みで切り取られて出力される。(図 6 の(A)) 出力の時間軸は入力に対し $T/\Delta T$ 倍に拡大されている。
- (2) オフセット遅延発生回路の遅延を 1ns に設定する。遅延シフトブロックにより入力信号が 1ns から 2.27ns まで 10ps 刻みで切り取られて出力される。(図 6 の(B)) この出力は(1)の出力と 0.27ns の重なりがある。この重なりにより(4)の重ね合わせが可能となる。
- (3) 以下同様にオフセット遅延発生回路の遅延を 7ns まで増加させて測定を行う。
- (4) 上記の 8 つの出力波形を重ね合わせる。測定可能な時間範囲は最大 $1\text{ns} \times 7 + 1.27\text{ns} = 8.27\text{ns}$ である。
- (5) キャリブレーションの結果に従い、出力電圧を入力電圧に逆変換する。出力の時間軸を $\Delta T/T$ 倍に縮小する。

ΔT の平均値はウェハ間のデバイスばらつきや環境変動により設計値の 10ps からずれるが、深刻な問題ではない。なぜなら、 ΔT の平均値は、既知の周期の信号を外部から入力して、出力の周期を測定することにより実験的に求められるからである。

3.5 デカップリング容量

電源ノイズを測定する本サンプリングオシロスコープマクロ自身が電源ノイズの影響を受けてはならない。電源ノイズの発生源としては被測定回路（ノイズ源）とサンプリングオシロスコープマクロ自身の 2 つが考えられる。そこでノイズ対策として、被測定回

路とサンプリングオシロスコープマクロの電源線、接地線を分離し、更にサンプリングオシロスコープマクロにはオンチップデカップリング容量を 910pF 搭載した。

4. 評価結果

図 7 に試作したチップの写真を示す。6 層銅配線 1.2V, 0.13μm CMOS プロセスで試作を行った。本チップはサンプリングオシロスコープマクロとノイズ源から構成される。図 7 に示すように、ノイズ源は 4k 個のフリップフロップと 84k 個のインバータで構成され、活性化率を変化させることができる。サンプリングヘッド 1 つの面積は $1,550\mu\text{m}^2$ である。サンプリングクロック発生回路の面積は $23,600\mu\text{m}^2$ と小さい。500MHz 動作時で、ノイズ源の消費電力は最大 1.12W、サンプリングオシロスコープマクロの消費電力は 32mW であった。サンプリングクロック発生回路の最大動作周波数は 800MHz であった。

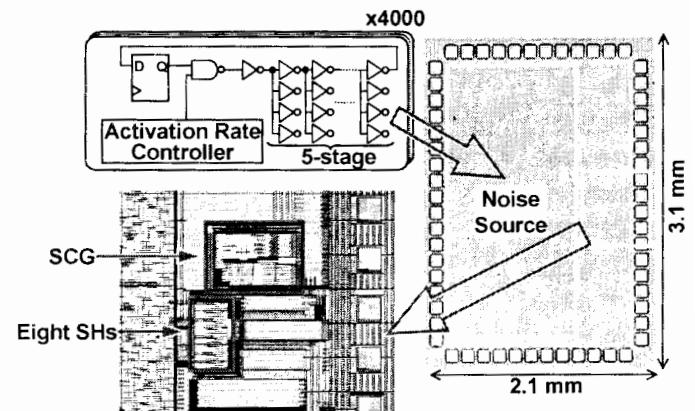


図 7 チップ写真

図8に外部からサンプリングヘッドに入力したDC電圧とサンプリングオシロスコープマクロ出力電圧の関係の実測結果を示す。 $-0.3V$ から $V_{dd}+0.3V$ の広い入力範囲の実現に成功している。

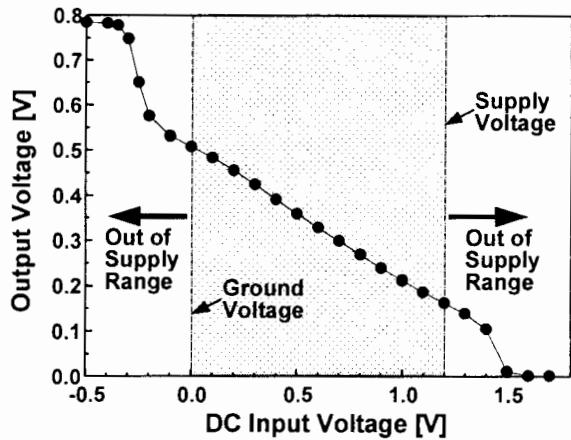


図8 外部から入力したDC電圧とサンプリングオシロスコープマクロ出力の関係(実測)

図9にクロックの立ち下がりエッジの実測波形を示す。サンプリングオシロスコープマクロにデカップリング容量がある場合が図9(a)、ない場合が図9(b)である。10ps刻みでクロック波形をサンプリングしていることが分かる。また、デカップリング容量により、出力のノイズを大幅に低減することに成功している。これは測定回路の電源系用のデカップリング容量の重要性を示唆している。

図10に電源電位と接地電位の実測波形を示す。ノイズ源の活性化率を100%, 70%, 40%に変化させた。クロックの立ち上がりエッジで大きな電源電流が流れため、電源電位は低下し、接地電位は上昇している。その後、LC共振により電源電位が V_{dd} 以上にオーバーシュートし、接地電位が0V以下にアンダーシュートする様子を、開発したサンプリングヘッドによって測定することが可能となった。

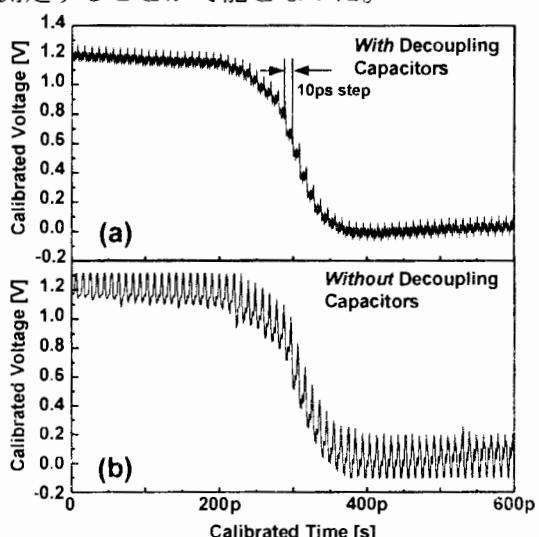


図9 クロックの立ち下がりエッジの実測波形。デカップリング容量の有無。

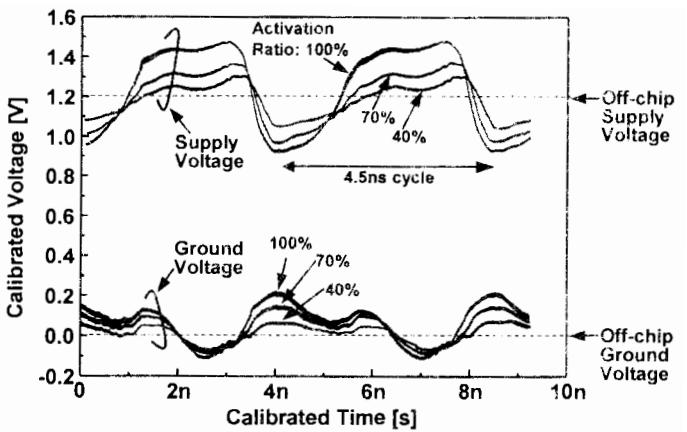


図10 電源電位と接地電位の実測波形

5. まとめ

LSI上のシグナルインテグリティの評価を目的として、 $0.13\mu m$ CMOSでサンプリングオシロスコープマクロの設計と評価を行った。位相補間を利用した小面積($23,600\mu m^2$)のサンプリングクロック発生回路を内蔵することにより、測定方法が簡単になった上、サンプリングレートが100 GSample/sの高精度測定を達成した。また、電荷分配を利用した新型サンプリングヘッドにより、測定電圧範囲を $-0.3V$ から $V_{dd}+0.3V$ に広げることに成功した。更に、マクロ自身の電源ノイズ、基板ノイズを低減するためにデカップリング容量を搭載することにより、測定結果の低ノイズ化に成功した。

参考文献

- [1] M. Takamiya, M. Mizuno, and K. Nakamura, "An on-chip, 100-GHz sampling rate, 8-channel sampling oscilloscope macro with embedded sampling clock generator", IEEE ISSCC Dig. of Tech. Papers, pp. 182 – 183, Feb. 2002.
- [2] R. Ho, B. Amrutur, K. Mai, B. Wilburn, T. Mori, and M. Horowitz, "Application of on-chip samplers for test and measurement of integrated circuits", IEEE Symp. VLSI Circuits Dig. Tech. Papers, pp. 138 – 139, June 1998.
- [3] K. Makie-Fukuda, T. Anbo, T. Tsukada, T. Matsuura, and M. Hotta, "Voltage-comparator-based measurement of equivalently sampled substrate noise waveforms in mixed-signal integrated circuits", IEEE J. of Solid-State Circuits, pp. 726 – 731, May 1996.
- [4] M. Nagata, K. Hijikata, J. Nagai, T. Morie, and A. Iwata, "Reduced substrate noise digital design for improving embedded analog performance", IEEE ISSCC Dig. of Tech. Papers, pp. 224 – 225, Feb. 2000.
- [5] B. W. Garlepp, K. S. Donnelly, J. Kin, P. S. Chau, J. L. Zerbe, C. Huang, C. V. Tran, C. L. Potmann, D. Stark, Y. Chan, T. J. Lee, and M. Horowitz, "A portable digital DLL for high-speed CMOS interface circuits," IEEE J. of Solid-State Circuits, vol. 34, pp. 632-644, May 1999.
- [6] K. Yamaguchi, M. Fukaishi, T. Sakamoto, N. Akivama, and K. Nakamura, "2.5GHz 4-phase clock generator with scalable and no feedback loop architecture," IEEE ISSCC Dig. of Tech. Papers, pp.398-399, Feb. 2001.