

シグナルインテグリティ評価用 100-GSa/s サンプルングオシロスコープマクロ (II) A 100-GSample/s Sampling Oscilloscope Macro for Signal Integrity Checking (II)

高宮 真 水野正之 中村和之*

Makoto Takamiya, Masayuki Mizuno, and Kazuyuki Nakamura*

NEC シリコンシステム研究所 *現在、九州工業大学
Silicon Systems Research Labs, NEC Corporation *Kyushu Institute of Technology

1. はじめに

LSI 上での電源ノイズ、基板ノイズ等によるシグナルインテグリティの劣化が、LSI の性能向上を阻害しており、大きな問題となっている。シグナルインテグリティの評価用に、測定電圧範囲が広く、高精度(100-GSa/s)のサンプルングオシロスコープマクロを開発した[1]。前回のサンプルングヘッドに関する報告[2]に続き、今回はサンプルングクロック発生回路について報告する。

2. サンプルングオシロスコープマクロ

サンプルング測定における時間精度は被測定信号とサンプルングクロックの周期の差(ΔT)で決まり、 ΔT が小さいほど高精度である。しかし、従来のサンプルングオシロスコープマクロ[3]ではサンプルングクロックを LSI 外部から供給していたため、 ΔT を微量にしてサンプルングレートを高めることが困難であった。そこで、我々はサンプルングクロックを LSI 内部で発生することにより 100-GSa/s ($\Delta T=10\text{ps}$)を実現するサンプルングオシロスコープマクロを開発した。

図 1 に開発したマクロのブロック図を示す。8 個のサンプルングヘッド(SH)と 1 つのサンプルングクロック発生回路(SCG)から構成されている。周期 T の入力信号を、SCG で生成した周期 $T+\Delta T$ のサンプルングクロックでサンプルングすることにより、出力信号の時間軸は入力 $T/\Delta T$ 倍に拡大される。SH は被測定回路の電源線、接地線、クロック信号線、基板コンタクト等に接続されている。図 2 に SCG のブロック図を示す。 ΔT を小さく保ちつつ、小面積と広い測定時間範囲を両立するため、オフセット遅延発生回路と遅延増加回路から構成される。オフセット遅延発生回路により、測定時間範囲を 1ns 刻みで 7ns までシフトできる。遅延増加回路では、クロックの立ち上がり毎に 10ps ($=\Delta T$) ずつ増加する遅延を加えることにより、周期が $T+10\text{ps}$ のサンプルングクロックを発生する。10ps の遅延は 160ps の単位遅延に対して位相補間回路により 1/4 の位相補間を 2 度繰り返すことにより生成した。

3. 実測結果

1.2V, 0.13 μm CMOS プロセスでサンプルングオシロスコープマクロの試作を行った。SCG の面積は 23,600 μm^2 、SH 1 つの面積は 1,550 μm^2 と小面積である。本マクロの消費電力は 32mW であった。図 3 にクロックの立ち下がりエッジの本マクロによる実測波形を示す。クロック波形を 10ps 刻みの高精度でサンプルング測定することに成功した。

4. まとめ

LSI 上のシグナルインテグリティの評価を目的として、0.13 μm CMOS でサンプルングオシロスコープマクロを開発した。サンプルングクロック発生回路を内蔵することにより、測定が容易になる上、サンプルングレートが 100-GSa/s の高精度測定が可能となった。本マクロにより、LSI が実装された状態でも、LSI 上の波形を高精度かつ容易に実測することができる。

参考文献

- [1] M. Takamiya et al., ISSCC, pp. 182 – 183, 2002.
- [2] 高宮等, 電子情報通信学会総合大会, C-12-6, 2002.
- [3] R. Ho et al., Symp. VLSI Circuits, pp. 138 – 139, 1998.

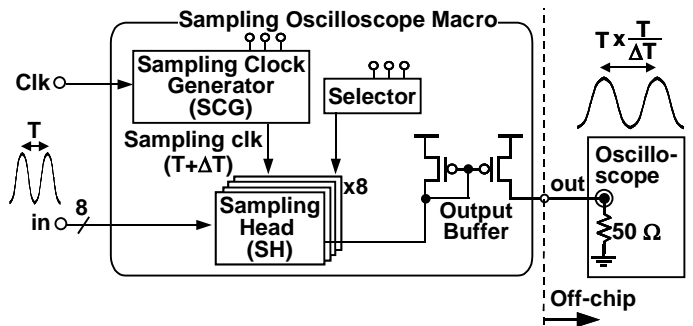


図 1 サンプルングオシロスコープマクロのブロック図

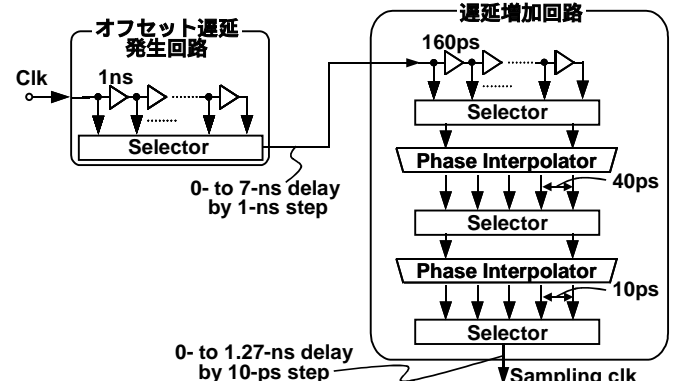


図 2 サンプルングクロック発生回路(SCG)のブロック図

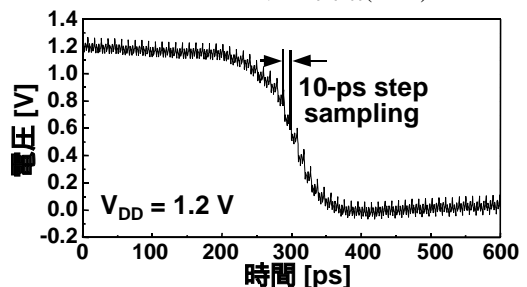


図 3 クロック立ち下がりエッジの本マクロによる実測