

# GHz LSIにおける シグナルインテグリティ問題 とその測定技術

**NEC**

シリコンシステム研究所

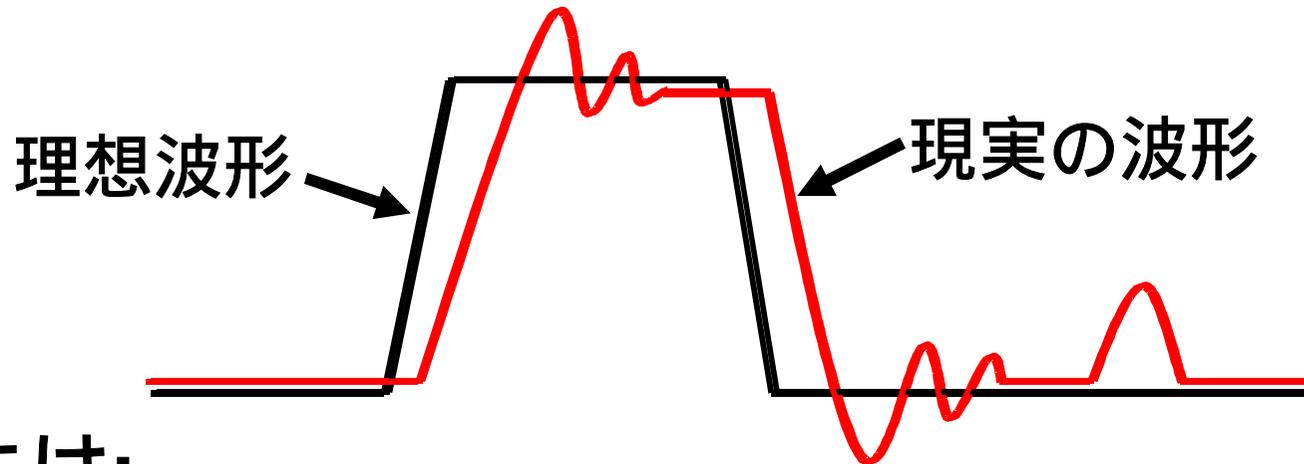
高宮 真

## <目次>

1. シグナルインテグリティの重要性
2. 電源ノイズのトレンド
3. オンチップ波形測定回路技術
4. まとめと今後の技術課題

# シグナルインテグリティ問題とは？

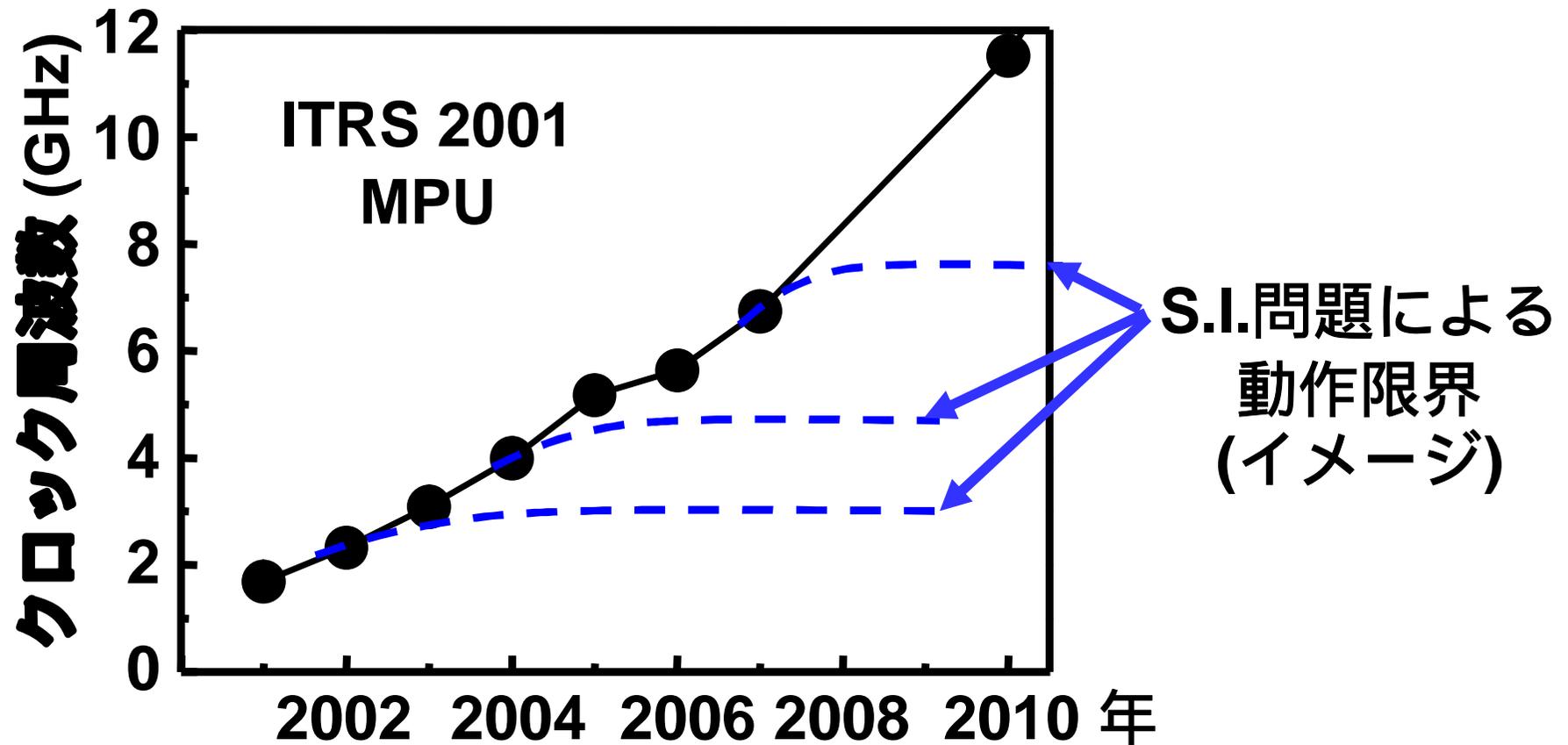
- Integrity = 「もとのままの状態、完全な状態」
- Signal integrity (S.I.)問題 = 「電気信号が伝播する際に生じる波形の歪みに関わる諸問題」



具体的には:

- 配線間クロストーク : 隣接する配線からの影響
- 電源ノイズ(IR-Drop) : チップ内の電源電位変動
- 基板ノイズ : Si基板経由のノイズ
- インダクタンス : 遅延変動、信号波形の劣化

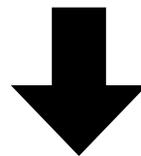
# S.I.問題のLSI設計へのインパクト



- GHz LSIの実現には設計の高精度化が必須  
(例) 現在の最先端CMOSでは電源電圧1V、遅延10ps/段
- 近年、S.I.問題起因のLSI動作不具合が多発  
→ **S.I.問題の予測と対策がキー技術**

# シグナルインテグリティ問題の特徴

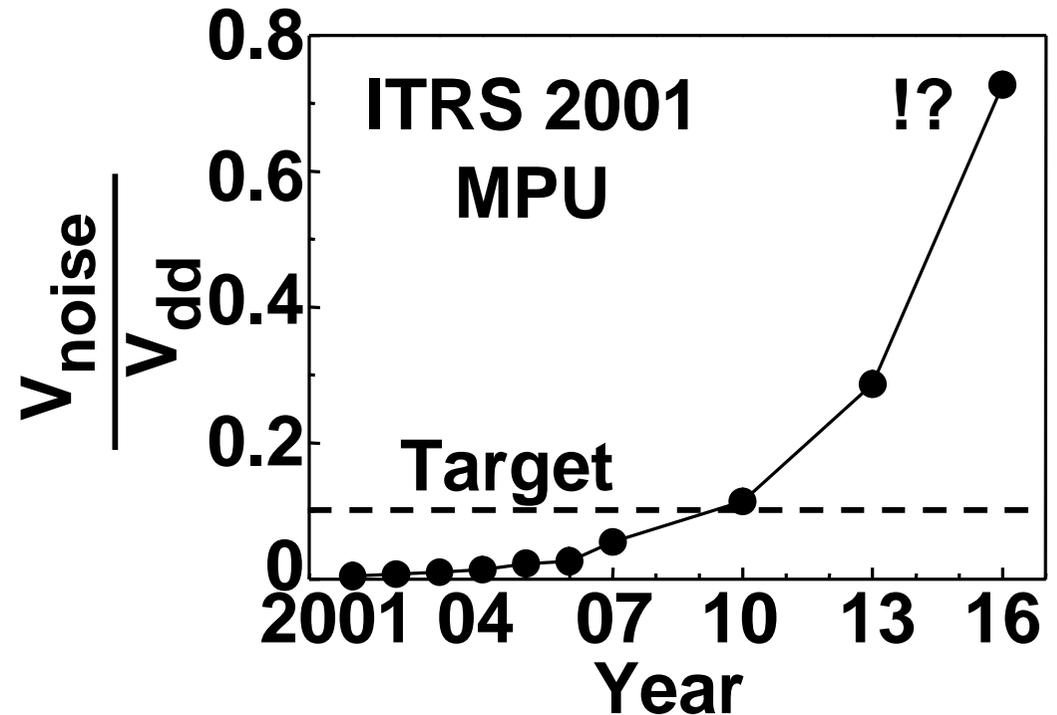
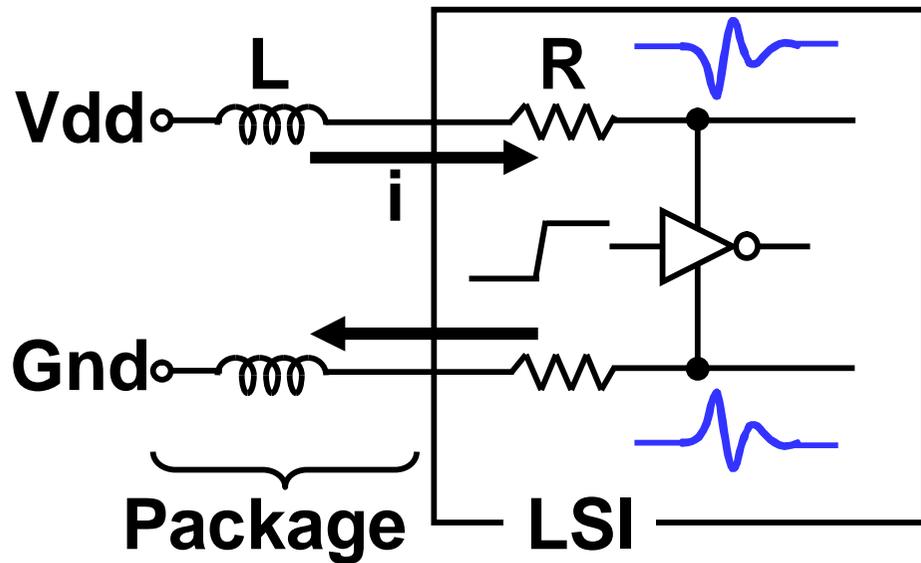
- 微細化、高速化に伴い深刻に
- 従来の設計フローでは軽視(無視)されてきた現象  
シミュレーション上では動作したのに、実Siでは動かない、
- 対象が複雑かつ大規模であるためモデル化が困難  
定量的な予測が困難
- 実測困難 シミュレーション結果が検証できない
- 対策はプロセス/実装/要求性能に大きく依存し、コストとのトレードオフ しか、対策は設計者の経験と勘頼み



信頼できる高精度な実測とそれに基づくモデル化、  
更に仕様に応じたコスト最小の対策が必要

# 電源ノイズのトレンド

$$\text{電源ノイズ: } V_{\text{noise}} = L \frac{di}{dt} + Ri$$

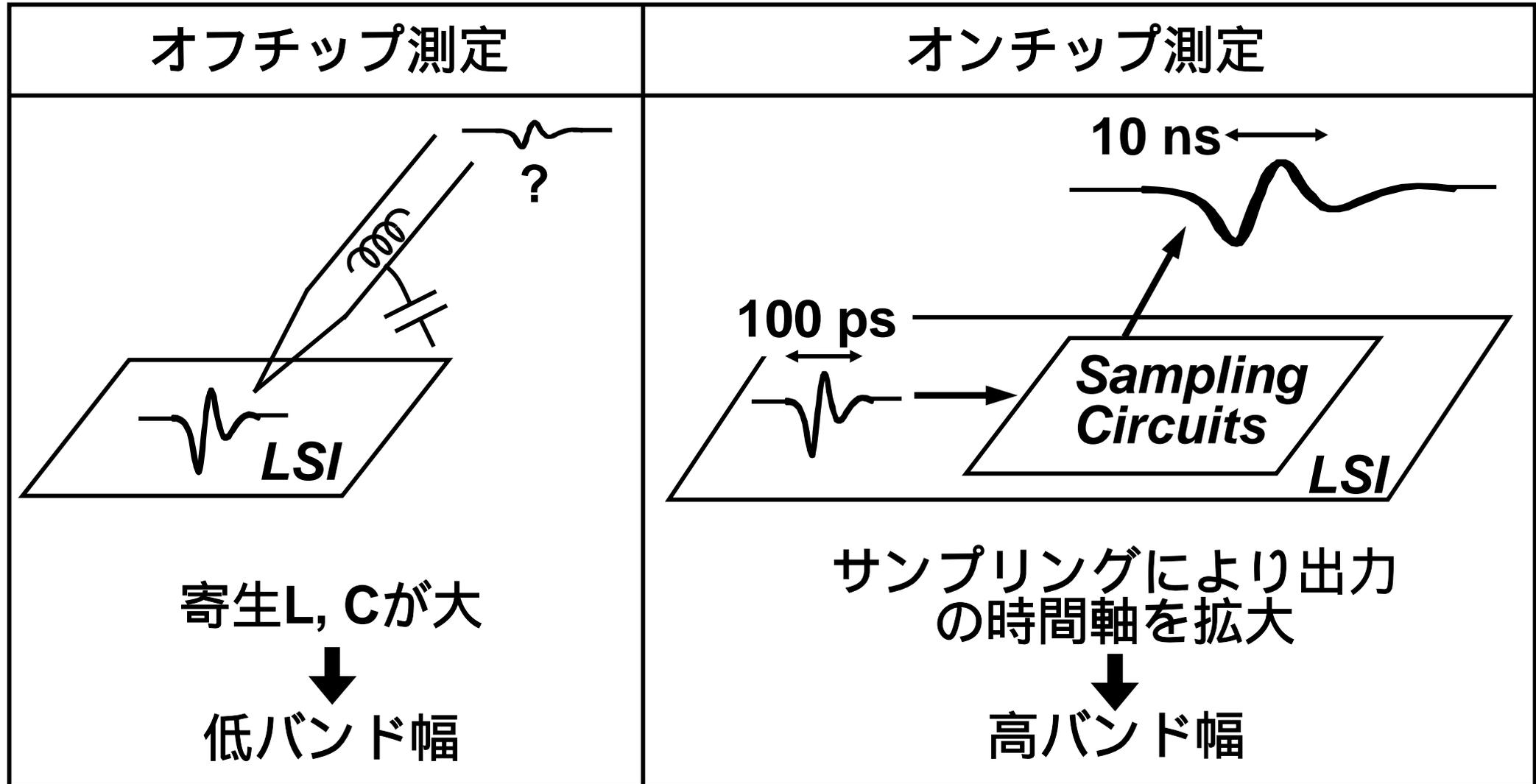


- 電源電圧の低下と電源電流の激増  
2002年: 1V, 140A      2016年: 0.4V, 720A
- 電源のインピーダンスの低減は困難      電源ノイズが増加し問題に
- 電源系のモデル化困難(特にインダクタンス)

オンチップ波形を測定する回路技術を開発し電源ノイズを実測

# オンチップ測定回路

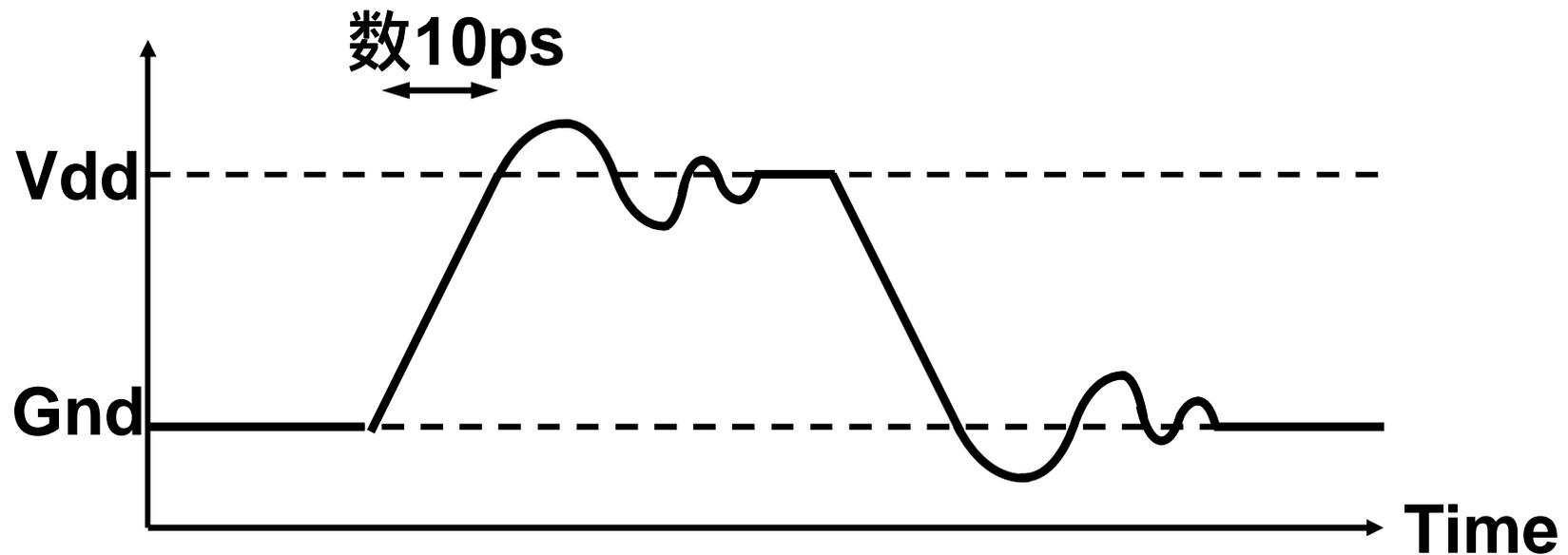
- オンチップ波形は非常に高速（数10ps）



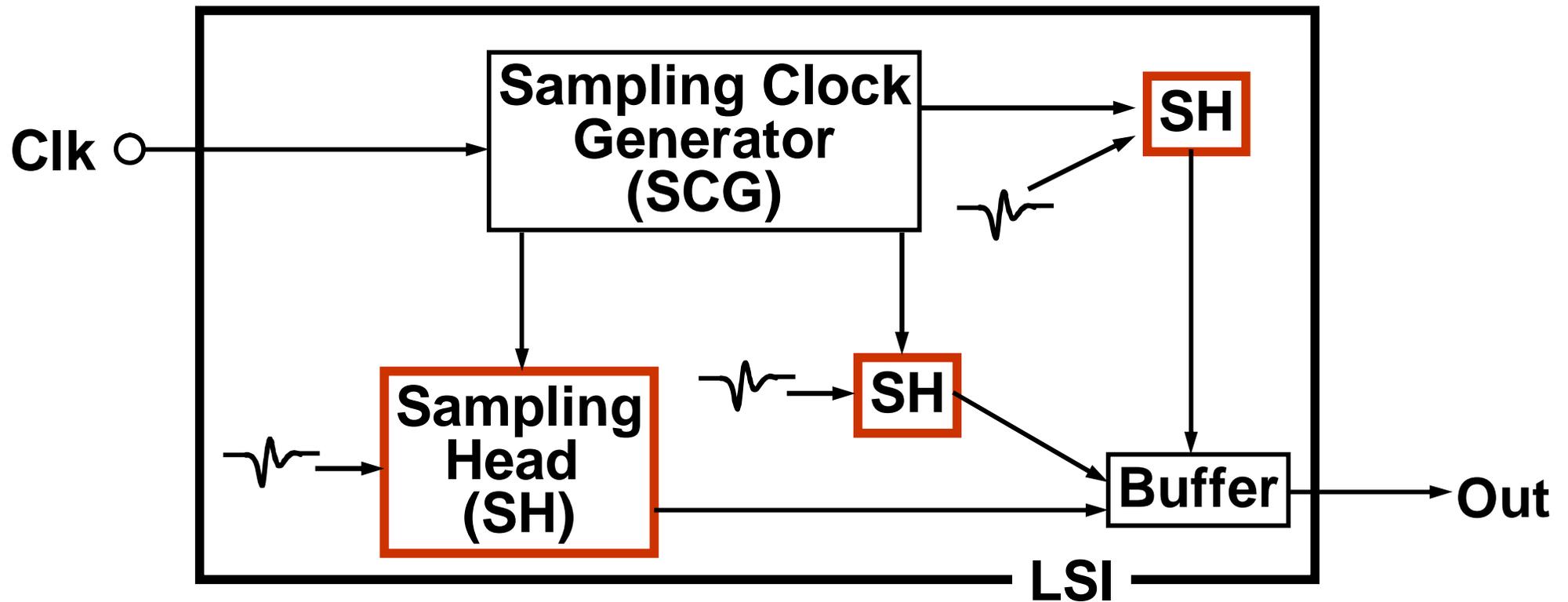
- サンプリング型のオンチップ測定回路が必要

# 広い測定電圧範囲の必要性

- オンチップ波形は寄生インダクタンスによりVdd電位以上にオーバershoot、Gnd電位以下にアンダershoot  
広い測定電圧範囲が必要



# 開発したサンプリングオシロスコープマクロ



## • 特徴:

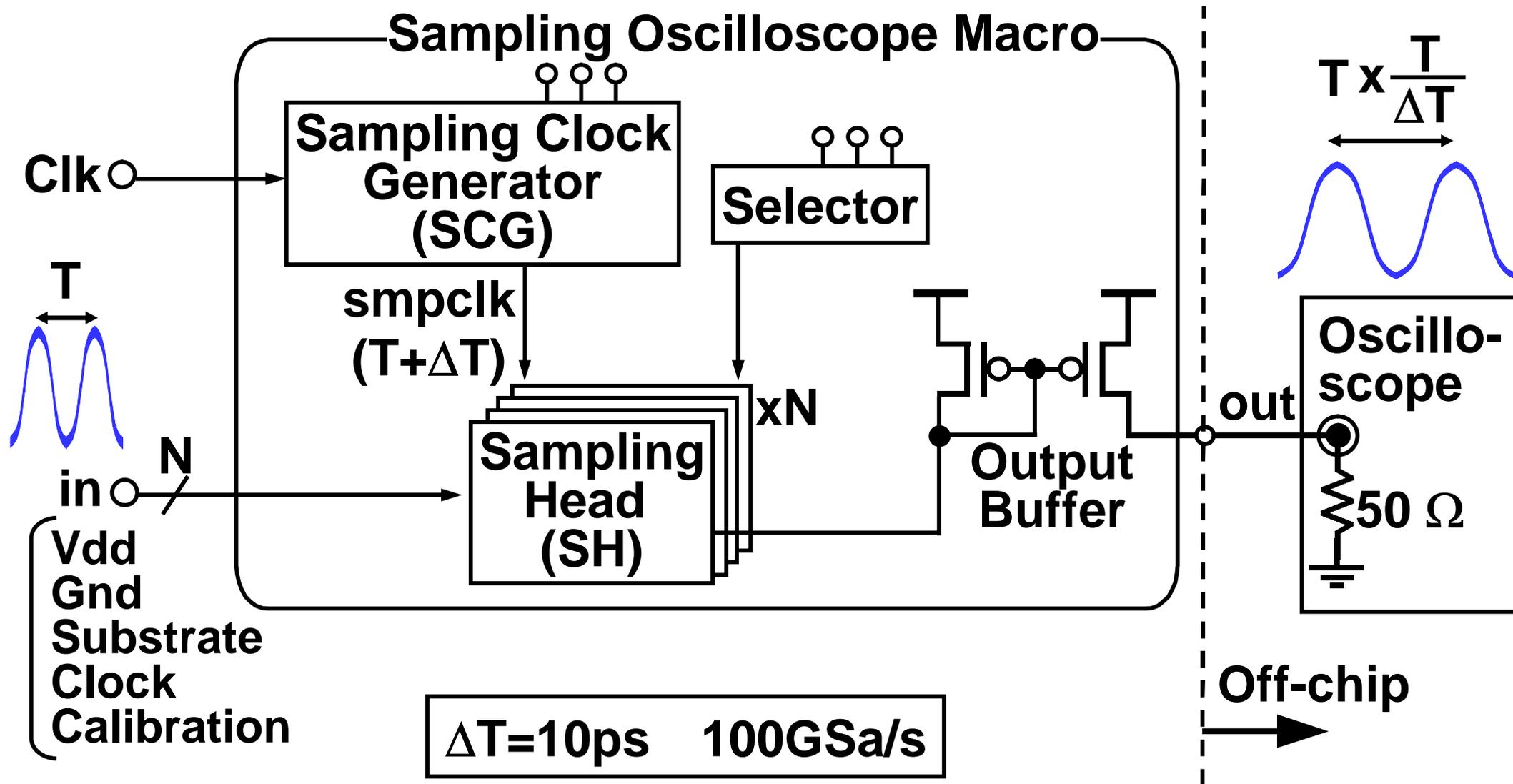
- (1) 小面積で100GSa/sのサンプリングクロック発生器(SCG)
- (2) 測定電圧範囲が広いサンプリングヘッド(SH)
- (3) シンプルな測定方法

LSI上でのシグナルインテグリティの直接測定が可能に

# 従来の測定回路との比較

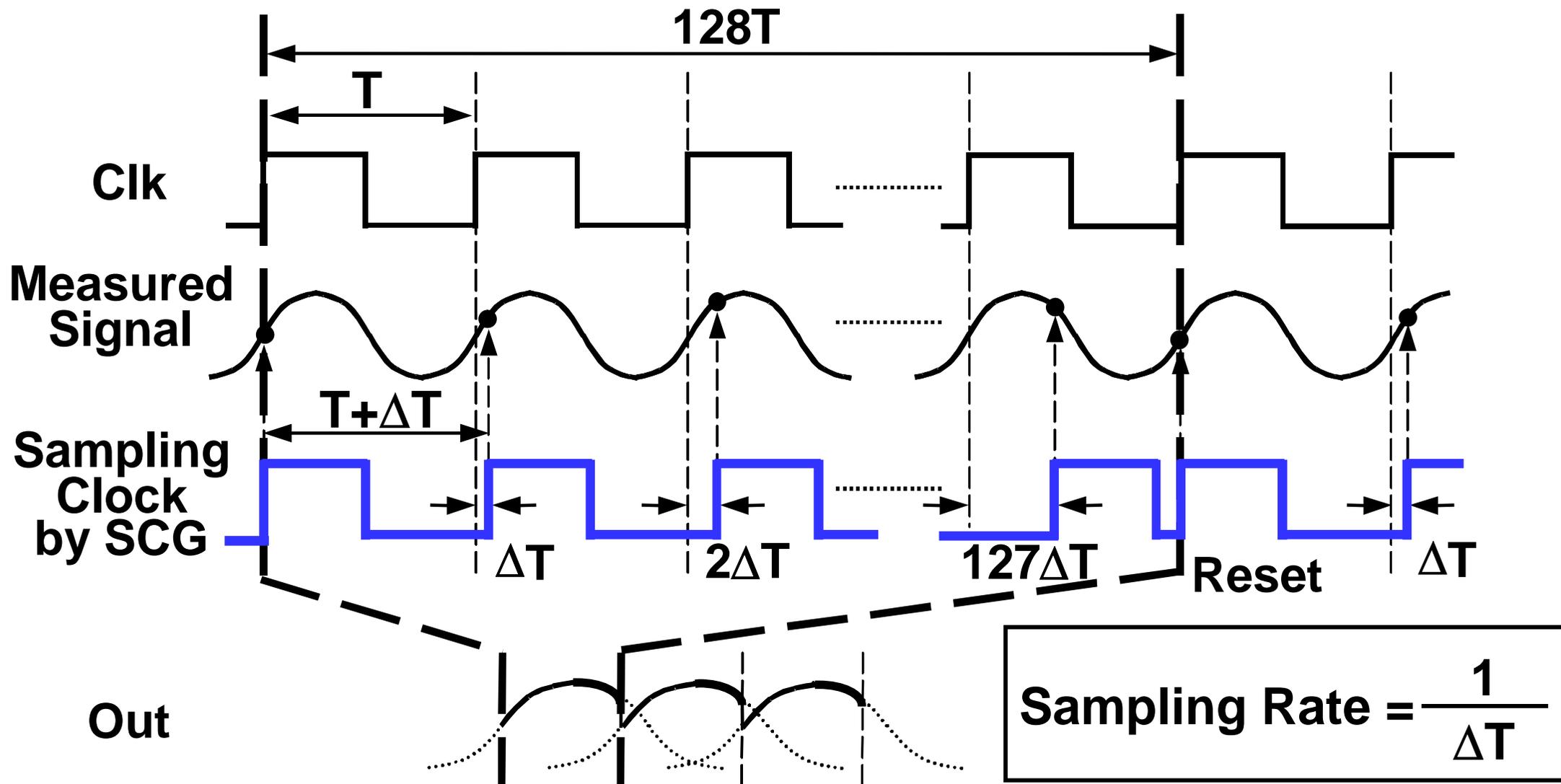
	従来例		本研究
ブロック図	<p>広島大 (ISSCC 2000) smp</p>	<p>Stanford Univ. (VLSI 1998) smp</p>	
*smp: サンプリング クロック			
サンプリング レート	低い (~10 GHz)		高い (100 GHz)
入力レンジ	Gnd以下 ~ Vdd以上	Gnd ~ Vdd	Gnd以下 ~ Vdd以上
測定方法	複雑	普通	シンプル

# サンプリングオシロスコープマクロ



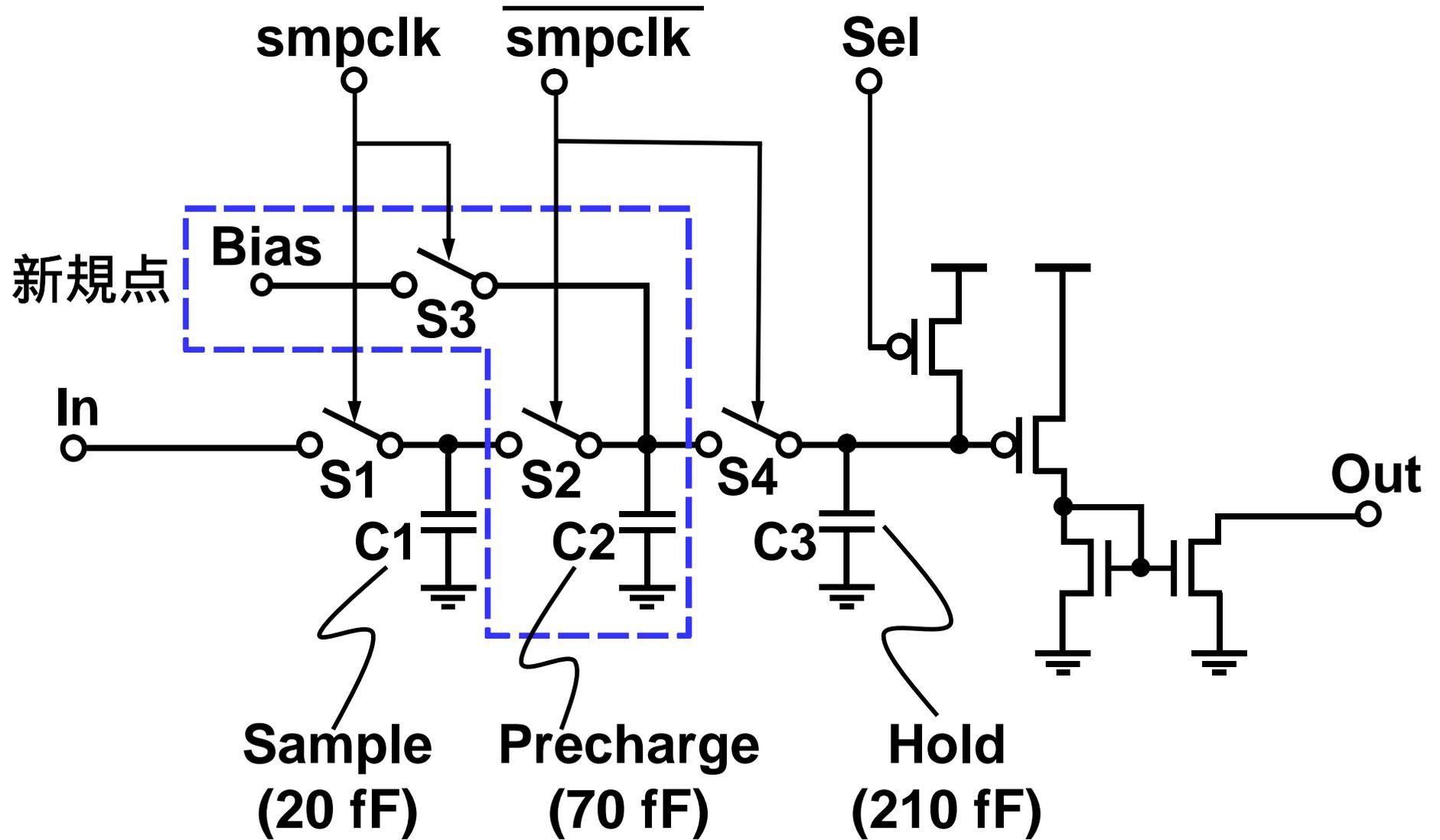
- 複数のSHで1つのSCGを共有 省面積化
- 時間軸を $T/\Delta T$ 倍に拡大して出力

# サンプリング動作

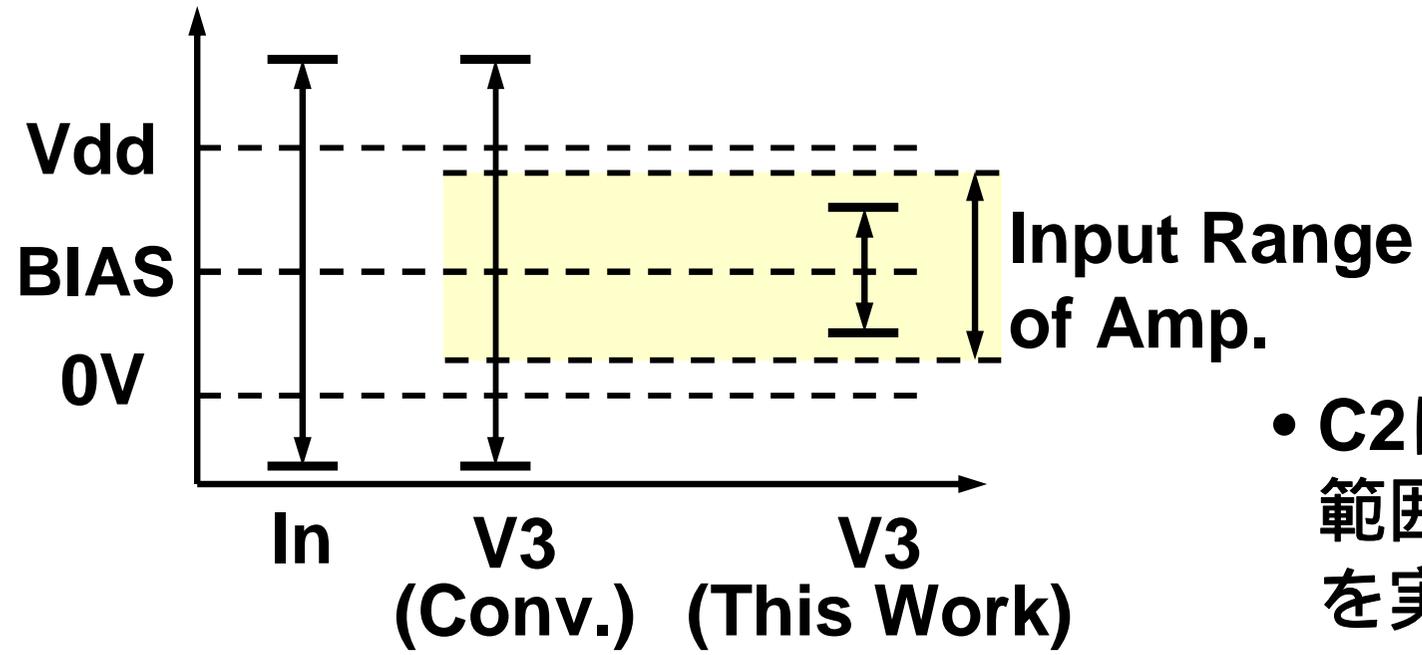
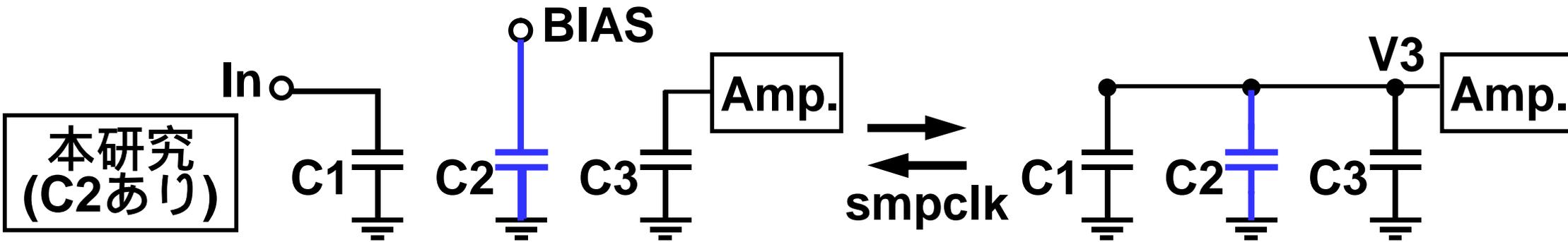
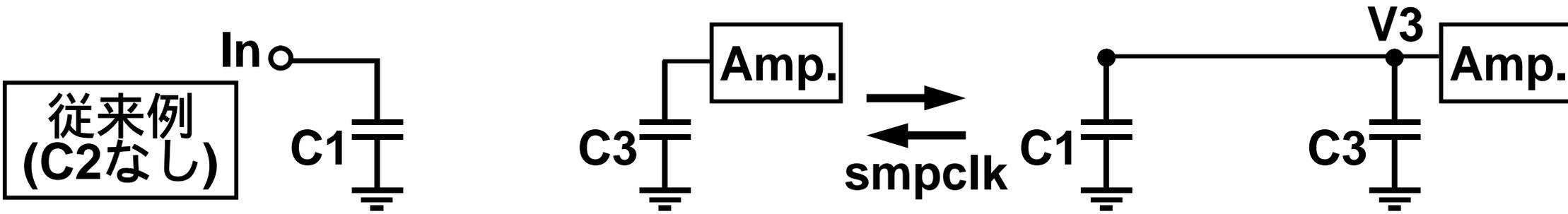


- 周期 $T$ の入力を周期 $T + \Delta T$ のサンプリングクロックでサンプリング  
時間軸を $T/\Delta T$ 倍に拡大して出力

# サンプリングヘッド



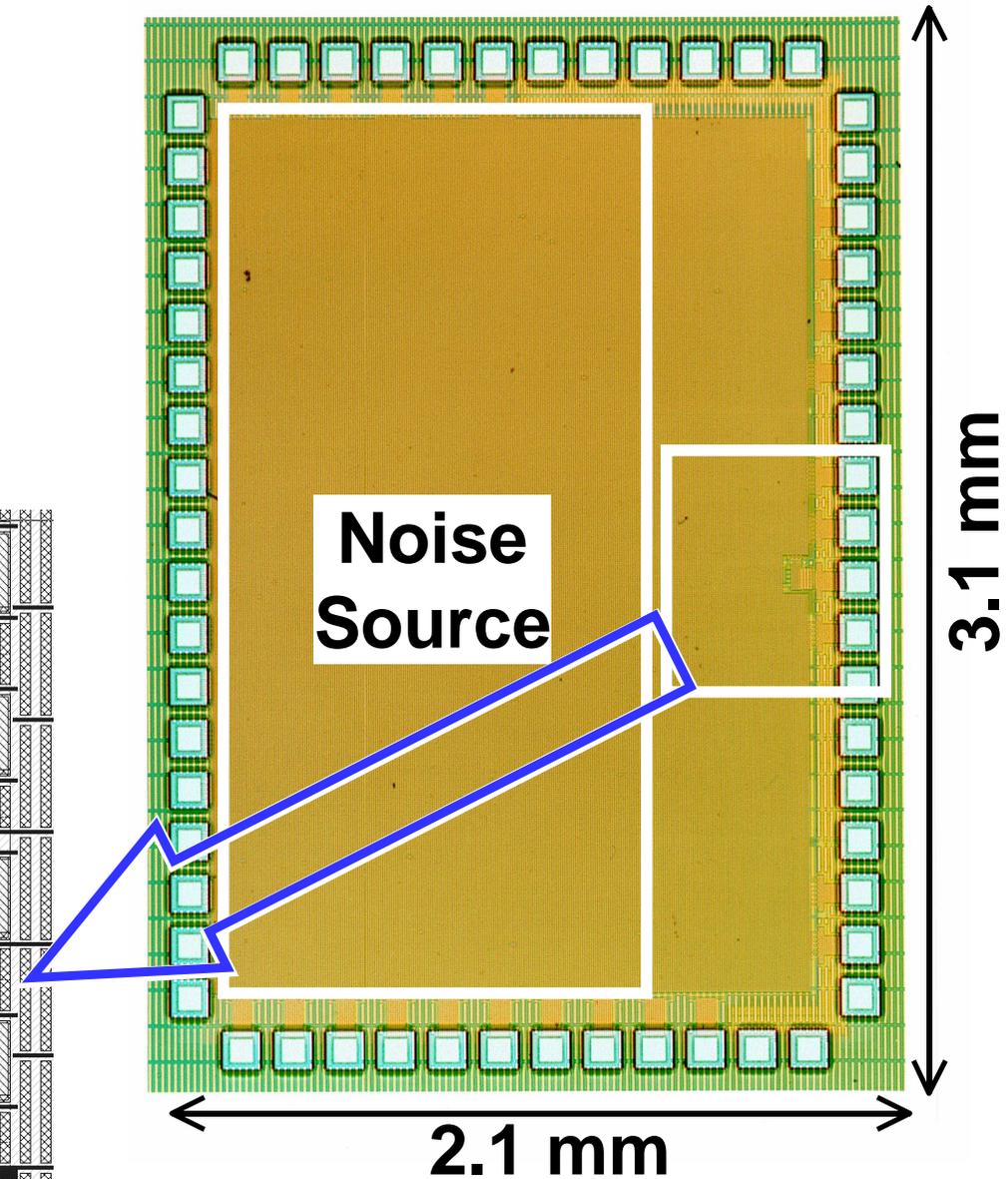
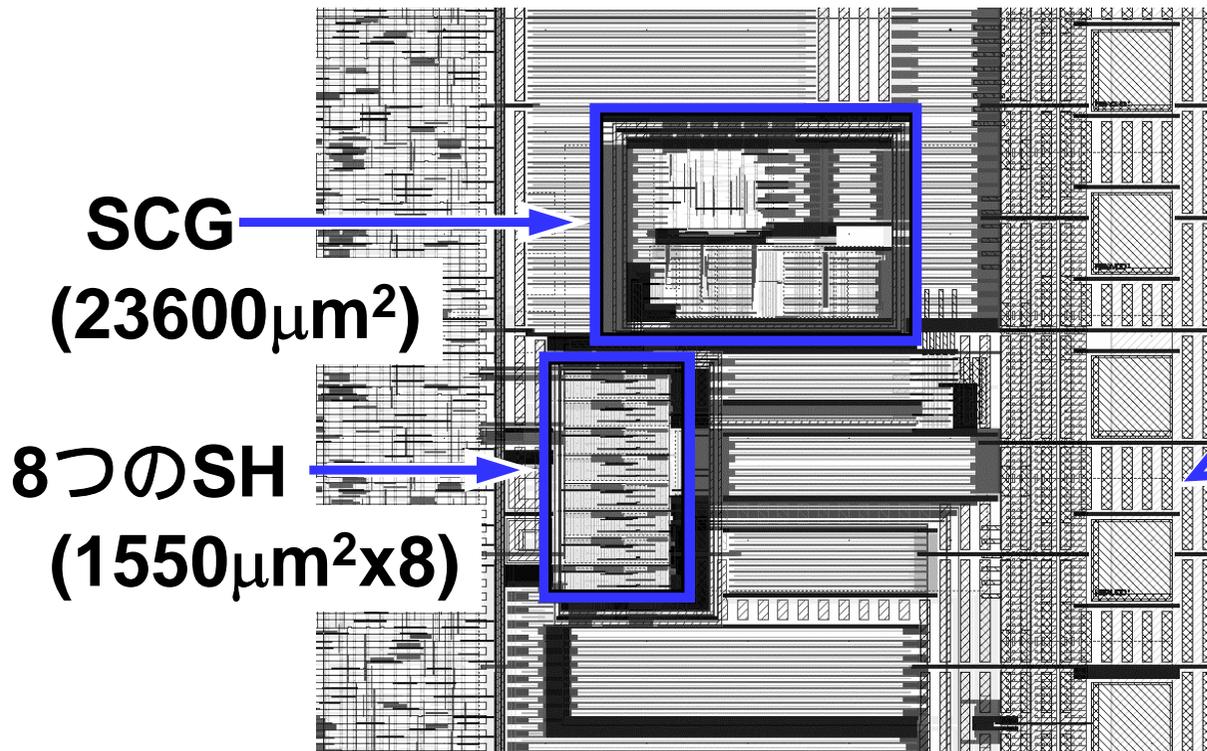
# サンプリングヘッドの動作原理



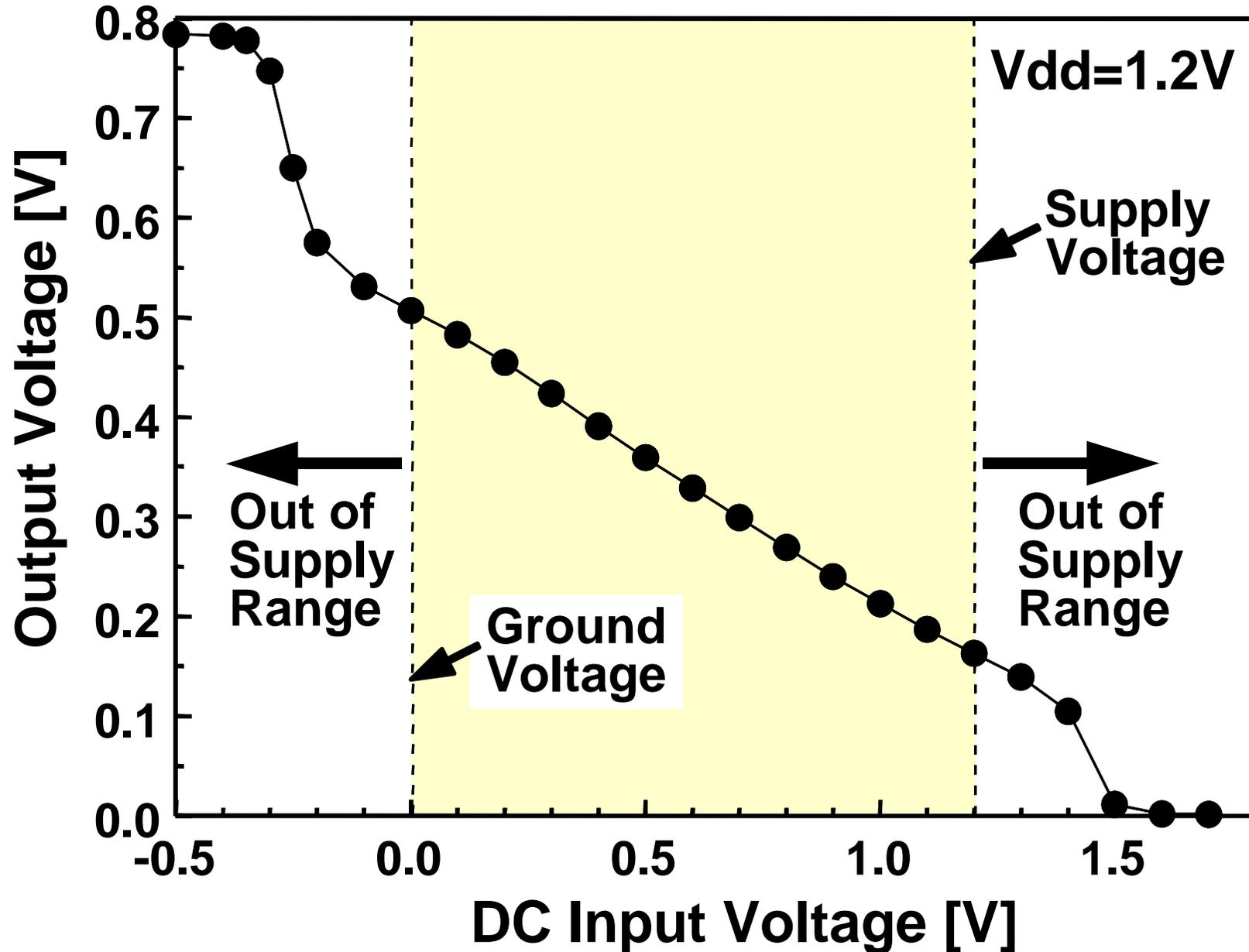
- C2により 広い測定電圧範囲( $-V_{tn} \sim V_{dd} + |V_{tp}|$ )を実現

# チップ写真

1.2V, 0.13 $\mu\text{m}$  CMOSで試作

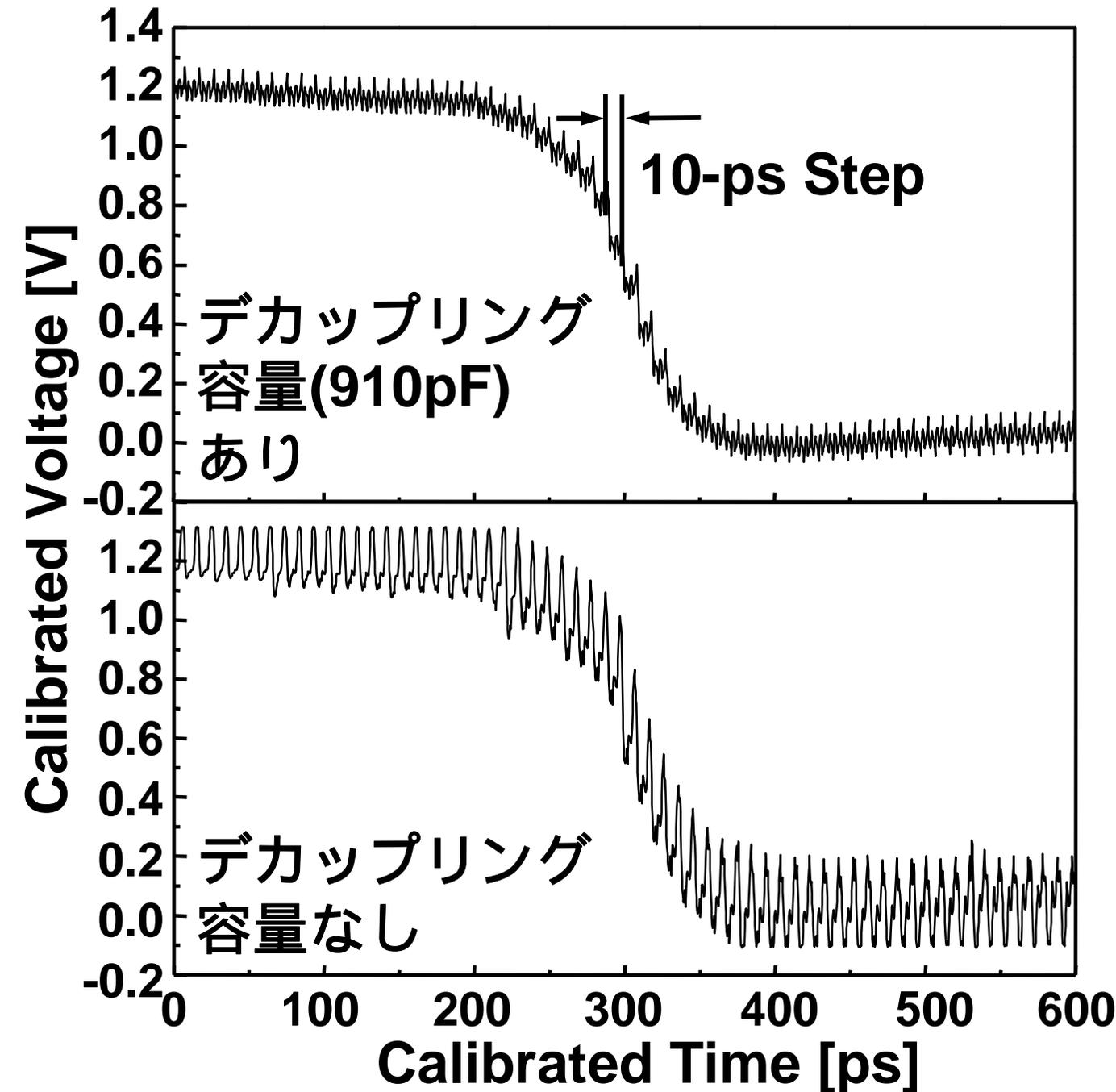


# 測定電圧範囲の実測結果

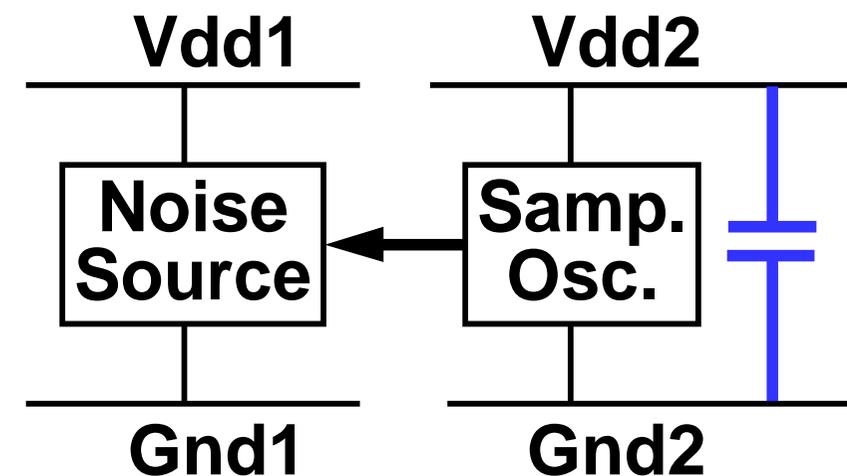


- - 0.3 V ~ Vdd + 0.3 Vの広い測定電圧範囲を実証

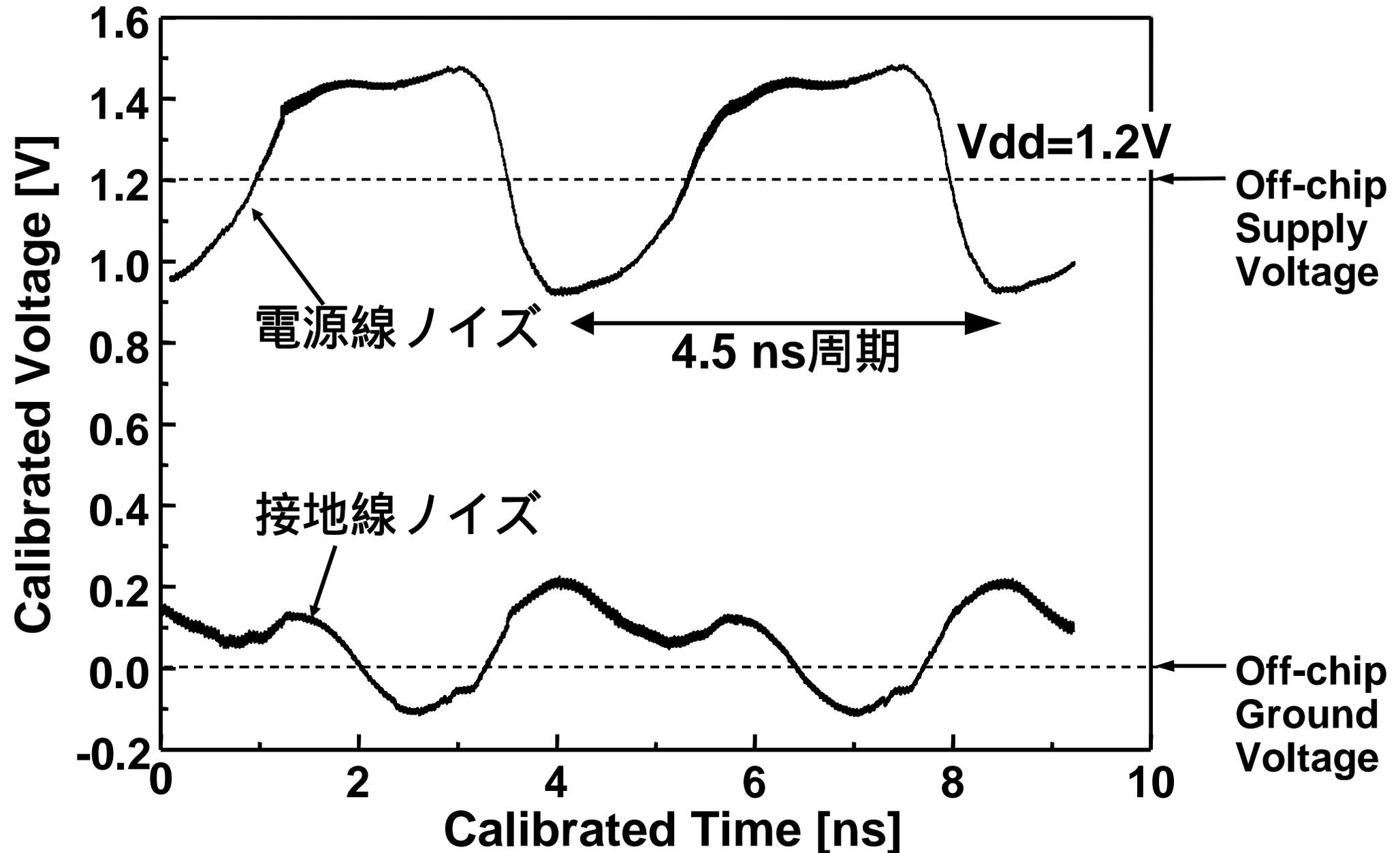
# クロックエッジの実測波形



- $\Delta T = 10$  ps刻みのサンプリング測定に成功
- 帯域は約8 GHz
- サンプリングオシロ自身の電源ノイズ低減のためにデカップリング容量は必須

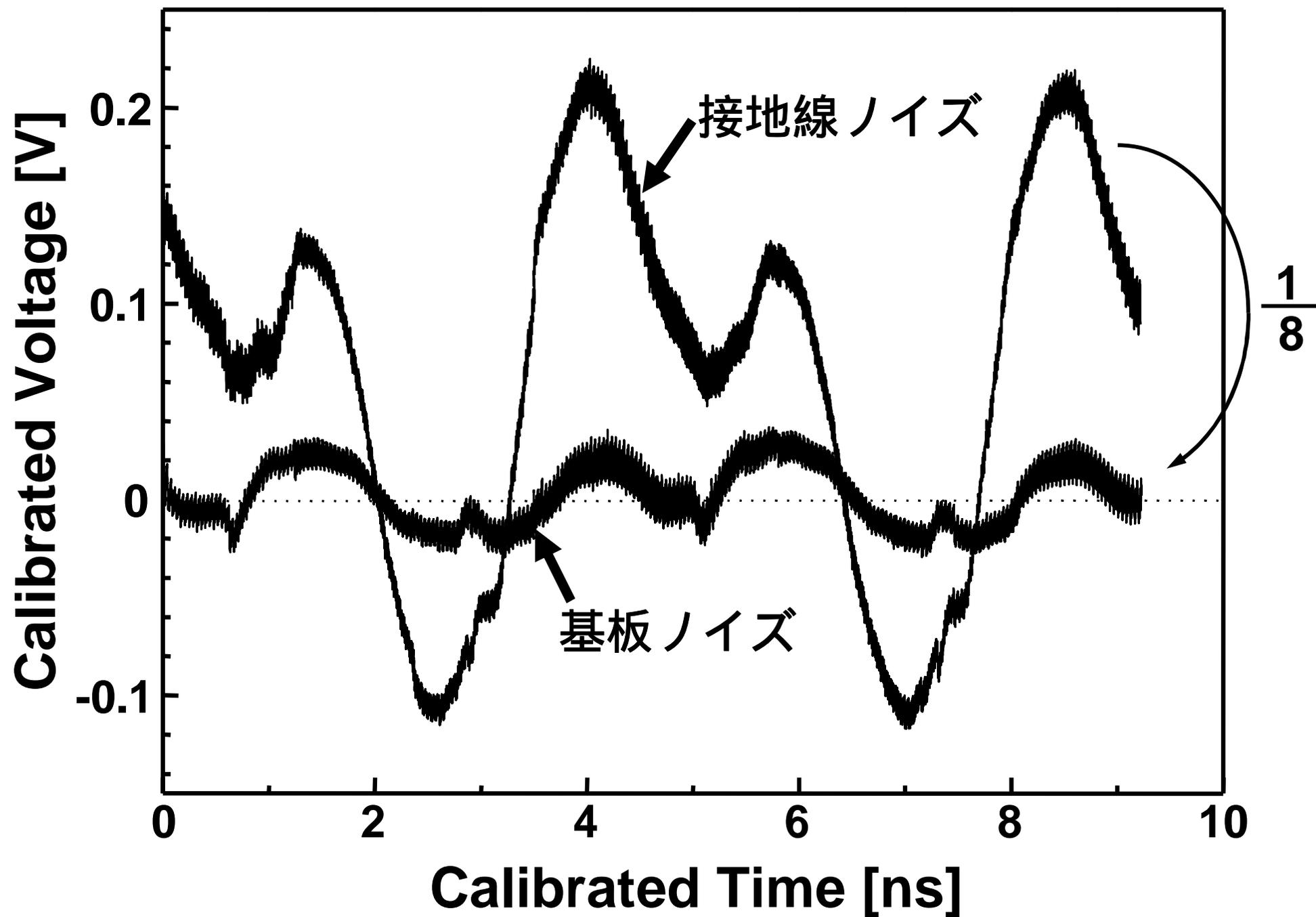


# 電源線/接地線ノイズの実測



- オーバーシュート/アンダーシュートするノイズ波形の実測に成功

# 基板/接地線ノイズの実測



# まとめ

- GHz LSIの実現にはシグナルインテグリティ (S.I.)問題の予測と対策が不可欠
- オンチップのS.I.を直接評価するために、8チャンネルのサンプリングオシロスコープマクロを開発
  - (1) 小面積のサンプリングクロック発生器の内蔵により 100GSa/sを達成
  - (2) サンプリングヘッドの測定電圧範囲が広い
  - (3) 測定方法がシンプル
- 電源線/接地線ノイズ、基板ノイズ、クロック信号の10ps刻みのサンプリング測定に成功
- 本マクロによりLSI上でのシグナルインテグリティの高精度なチェックが容易に可能に

# S.I.問題の今後の技術課題

- 実測との比較による、シミュレーションの精度向上
- シミュレーション規模の爆発の回避と必要な精度を両立するモデル縮退手法の開発
- ボード/パッケージ/LSIすべての電源系を含んだ統合シミュレーション環境の構築による電源ノイズ/基板ノイズの予測と対策
  - (例) デカップリング容量の周波数特性に応じて適所に適量を配置  
ガードリングのインピーダンスを適切に下げる
- 上記のASIC設計フローへの組み込み