

容量値のバイアス依存がないゲート容量素子の提案と 差動構成 PLL のループフィルタへの適用

高宮 真 水野 正之

NEC シリコンシステム研究所
〒229-1198 神奈川県相模原市下九沢 1120

E-mail: taka@mel.cl.nec.co.jp

あらまし 容量値のバイアス依存がなく、CMOS 標準プロセスのみで作成することができるゲート容量素子 (BIGCAP: bias-independent gate capacitor)を考案した。1.5-V、0.13- μm CMOS プロセスで試作し実測した結果、単位面積当たりの容量は $6.7\text{-fF}/\mu\text{m}^2$ と大きく、バイアス電圧による容量変動は $\pm 2.9\%$ と小さかった。寄生容量は真性容量のわずか 1.9% であり、ウエハ面内での容量のばらつきは $\sigma = 0.096\%$ と非常に小さかった。この BIGCAP を差動構成 PLL のループフィルタに適用することにより、PLL の特性を劣化させずに、ループフィルタの面積を従来の差動構成 PLL の約 1/3 倍に縮小することができた。この BIGCAP は PLL のループフィルタ以外にも、応用範囲が広い。

キーワード バイアス依存、ゲート容量、差動、PLL、ループフィルタ

A Novel Bias-Independent Gate Capacitor (BIGCAP) and its Application to the Loop Filter of a Differential PLL

Makoto TAKAMIYA and Masayuki MIZUNO

Silicon Systems Research Labs, NEC Corporation
1120, Shimokuzawa, Sagamihara, Kanagawa, 229-1198, Japan

E-mail: taka@mel.cl.nec.co.jp

Abstract A linear bias-independent gate capacitor (BIGCAP) with large intrinsic capacitance and low parasitic capacitance, which needs no additional fabrication process steps, is proposed. Measured results with 0.13- μm standard CMOS technology show that the intrinsic capacitance is $6.7 \text{ fF}/\mu\text{m}^2$ (6.7 times bigger than that of typical MIM capacitors) and the parasitic capacitance is 1.9% of the intrinsic capacitance (one-fifth that of typical MIM capacitors). The linearity is $\pm 2.9\%$ and capacitance variation across a wafer is as small as $\sigma = 0.096\%$. Applying BIGCAP to the loop filter of a differential PLL reduces the gate area of the MOS capacitor for the loop filter to only 35% of that of the conventional design without degrading the performance of the PLL.

Key words Bias-Dependence, Gate Capacitor, Differential, PLL, Loop Filter

1. はじめに

容量値が、容量素子の両端に印可されるバイアス電圧に依存せずに一定である容量素子を必要とする集積回路は非常に多い。例えば、PLL のループフィルタ、I/O 回路のレベルシフト、演算増幅回路の位相補償、スイッチトキャパシタ回路、データ変換器、ミキサである。通常、これらの回路では MIM 容量か poly·poly 容量が用いられる。MIM 容量や poly·poly 容量は線形性に優れる (=容量値のバイアスがない) が、単位面積あたりの容量が小さい ($\sim 1 \text{ fF}/\mu\text{m}^2$) ため大面積を必要とする上、追加プロセスが必要なためコスト高になってしまふ。追加プロセス不要の MIM 容量が報告されているが[1-2]、単位面積あたりの容量が更に小さい ($0.2 \cdot 0.3 \text{ fF}/\mu\text{m}^2$) という問題がある。一方、従来の MOS ゲート容量は、単位面積あたりの容量が約 $10 \text{ fF}/\mu\text{m}^2$ と MIM 容量よりもはるかに大きいが、線形性が大変悪いため上記の回路には適用できない。

そこで、我々は容量値がバイアス電圧に依存しないゲート容量素子(BIGCAP: bias-independent gate capacitor)を考案した。BIGCAP は、容量形成用の追加プロセスを必要とせず、単位面積当たりの容量値が大きい。これを差動構成の PLL のループフィルタに適用し、PLL の小面積化に成功した[3]。この BIGCAP は PLL 以外の回路にも応用できる。2 章で BIGCAP のコンセプトと実現方法を述べ、3 章で実測結果を述べる。4 章で差動構成 PLL のループフィルタへの適用を示し、5 章でまとめる。

2. BIGCAP のコンセプトと実現方法

BIGCAP のコンセプトは、2 種類のゲート容量を組み合わせることにより、容量値のバイアス依存をなくすことである。図 1 に BIGCAP の構成を示す。n ウエル中に形成された蓄積型 n-poly ゲート容量のペアと、pMOS ゲート容量のペアから構成されている。n-poly ゲート容量は、標準 CMOS プロセスにおいて、nMOS の p ウエルを pMOS の n ウエルで置き換えることにより、追加プロセスなしで製造できる。容量値のバイアス依存を対称にするために、n-poly ゲート容量のペアと pMOS ゲート容量のペアはそれぞれ同一のレイアウトとし、接続のみ反転させる。

図 2 に n-poly ゲート容量と pMOS ゲート容量の C-V 特性を示す。ゲート容量単体の特性とゲート容量のペアの特性を合わせて示す。図 2(a)の n-poly ゲート容量のペアは 0V で容量が最大になるのに対し、図 2(b)の pMOS ゲート容量のペアは 0V で容量が最小になり、互いに逆の特性を示す。そこで、n-poly

ゲート容量と pMOS ゲート容量を適切な比率で合成し、互いのバイアス依存を打ち消し合うことにより、容量値のバイアス依存が小さい容量素子を実現することができる。

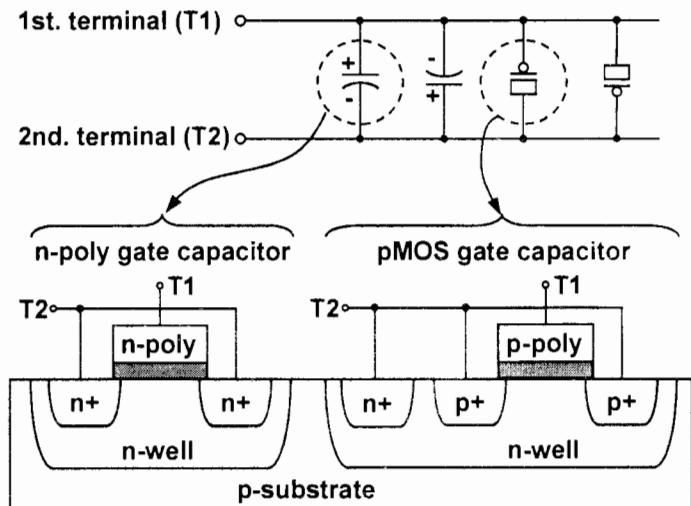
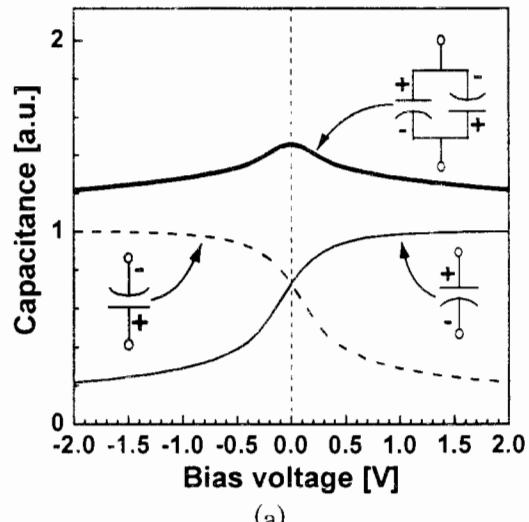
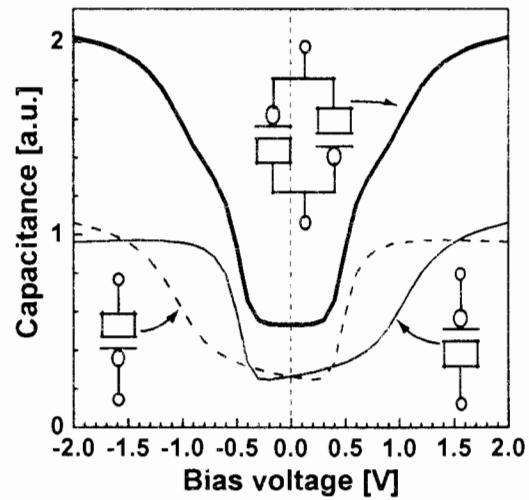


図 1 BIGCAP の構成



(a)



(b)

図 2 C-V 特性。(a) n-poly ゲート容量のペア。(b)pMOS ゲート容量のペア。

3. BIGCAP の実測結果

3.1 C-V 特性

BIGCAP を 1.5-V、0.13μm CMOS プロセスで製造した。図 3 に BIGCAP の 100 kHz における C-V 特性の実測結果を示す。ゲート長は 25μm である。n-poly ゲート容量に対する pMOS ゲート容量のゲート面積比 (x) を 0% から 25% まで変化させている。n-poly ゲート容量のみ (すなわち $x = 0\%$) の場合、C-V 特性は上に凸の形であるが、pMOS ゲート容量を加えるに従い容量値のバイアス依存がなくなってくる。しかし、pMOS ゲート容量を加え過ぎると、C-V 特性が下に凸の形になってしまふ。従って、 x に関して、容量値のバイアス依存が最小となる最適値が存在する。図 4 に線形性の x 依存を示す。縦軸の線形性は図 3 の最大容量と最小容量の差を平均容量で規格化し 2 で割ったものであり、縦軸の値が小さいほど容量値のバイアス依存が小さく優れている。 $x = 15\%$ の場合に、線形性が最小値 ±2.9% となり、最適である。この x の最適値は、使用する CMOS プロセスそれぞれについて一意に決まる。BIGCAP の単位面積当たりの容量は 6.7 fF/μm² であり、反転時のゲート容量 9.6 fF/μm² の 70% であるが、MIM 容量の 1.0 fF/μm² よりははるかに大きい。

3.2 寄生容量

図 5 に BIGCAP の等価回路を示す。第 1 の端子(T1)と第 2 の端子(T2)の間のゲート容量が真性容量であり、第 1 の端子(T1)あるいは第 2 の端子(T2)と接地電位の間の n ウエル-p 基板容量が寄生容量である。実測の結果、寄生容量は真性容量の 1.9% であり、文献[1]での 5.5% や、文献[2]での 6% よりも小さい。

3.3 周波数特性

図 6 にネットワークアナライザで測定した BIGCAP の Q 値の周波数依存を示す。評価した BIGCAP はゲート長 5μm、バイアス 0V における容量が 217 pF である。Q 値の定義は図 6 中に示した。Q 値が大きいほど、容量成分が大きく抵抗成分が小さいことを意味し、容量素子として優れている。50MHz における Q 値は 4 であり、容量値と周波数で規格化した Q 値は 43 / (f[GHz] C[pF]) であった。たいていの応用には十分な Q 値である。

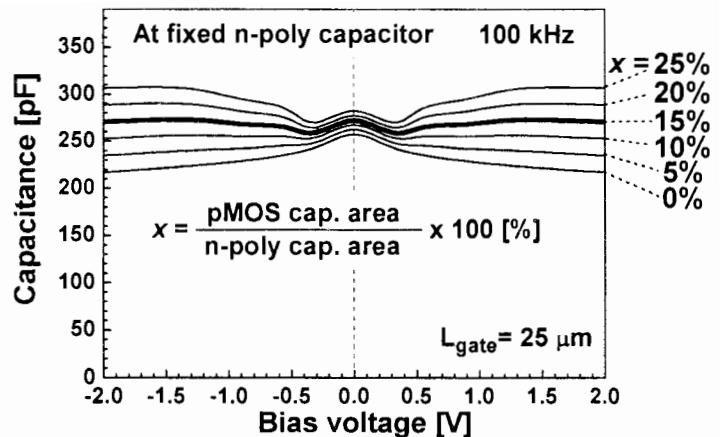


図 3 BIGCAP の C-V 特性。 x を変化させた。

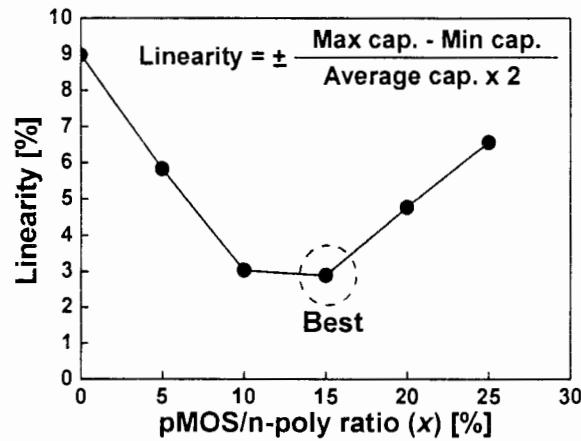


図 4 線形性の x 依存

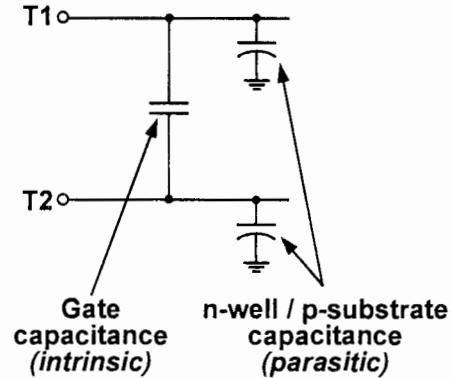


図 5 BIGCAP の等価回路

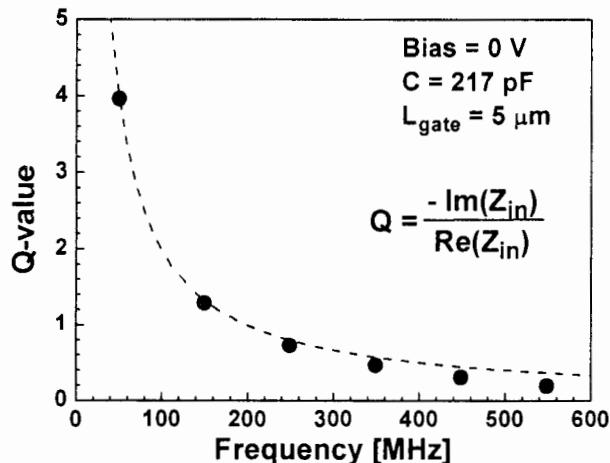


図 6 Q 値の周波数依存

3.4 ばらつき

BIGCAP の容量値のウェハ面内のばらつきは $\sigma = 0.096\%$ であり、文献[1]での 1.5%よりもはるかに小さい。MIM 容量とは異なり、BIGCAP では容量がゲート酸化膜厚さで決まるので本質的に容量ばらつきが小さい。チャネルのイオン注入条件を変化させることにより、pMOS のしきい電圧を意図的に変化させた BIGCAP の C-V 特性の実測結果を図 7 に示す。pMOS のしきい電圧が最大 0.1V 变化しても、容量は $\sigma = 0.69\%$ しか変化しない。従って、BIGCAP は容量値のばらつきが非常に小さく優れている。

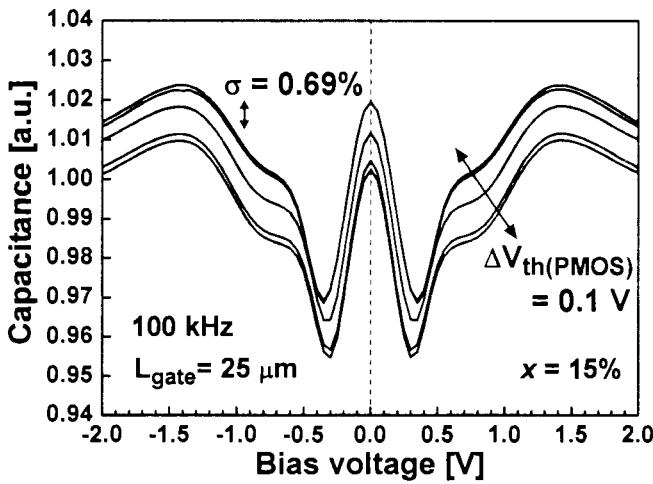


図 7 pMOS のしきい電圧を意図的に変化させた BIGCAP の C-V 特性

フィルタで使われている容量素子のバイアス依存がなければ、図 9(b)に示すように V_{cnt} と V_{cntb} の間に C_Y を挿入することができる。この場合、図 9(a)と同じ伝達関数を実現するのに必要な容量はミラー効果によりわずか $C_Y/2$ である。この容量は図 9(a)の従来の差動構成の場合の 1/4 倍、シングル構成の場合の 1/2 倍である。しかし、ループフィルタで一般的に用いられている n-poly ゲート容量を V_{cnt} と V_{cntb} の間に挿入することはできない。なぜなら、n-poly ゲート容量は図 2(a)に示したように、バイアス電圧の正負により容量値が大きく変化するからである。また、容量のバイアス依存のない poly-poly 容量を用いて図 9(b)の提案する構成を実現した報告があるが[4]、追加プロセスが必要な上、poly-poly 容量の単位面積あたりの容量は n-poly ゲート容量の 1/10 倍以下であるため、大面積になる問題がある。そこで、これらの問題を解決するために、BIGCAP を図 9(b)の提案するループフィルタの C_Y に適用した。

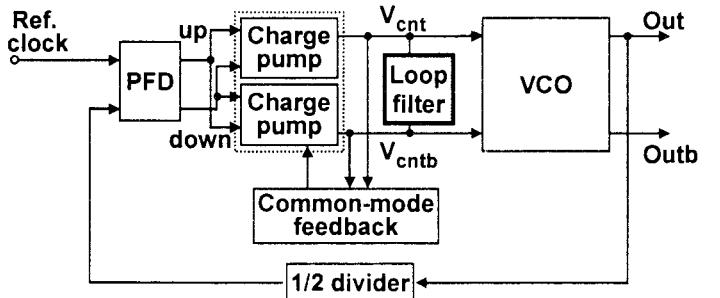


図 8 差動構成 PLL のブロック図

4. BIGCAP の差動構成 PLL のループフィルタへの適用

近年、電源/基板ノイズによるジッタの増加を避けるために差動構成の PLL がよく用いられる。図 8 に差動構成 PLL のブロック図を示す。2 つのチャージポンプ回路の 2 つの出力(V_{cnt} , V_{cntb})が、VCO の差動の制御電圧となる。 V_{cnt} と V_{cntb} の間にループフィルタが接続される。差動の制御電圧の一方が高くなると、他方は低くなる。コモンモードフィードバック回路が、差動の制御電圧のコモンモードを一定に保つ。

ここで、差動構成 PLL のループフィルタを構成する容量素子について議論する。図 9 (a)に差動構成 PLL のループフィルタの従来の構成を、図 9 (b)に提案する構成を示す。図 9(a)の従来のループフィルタは、シングル構成の PLL のループフィルタの 2 倍の容量を必要とする。従って、PLL の面積もほぼ 2 倍となるという問題が生じる。なぜなら、一般に PLL の面積は、図 9 の C_Y で示すループフィルタの大容量(通常、数 100pF)で決まるからである。もし、ループ

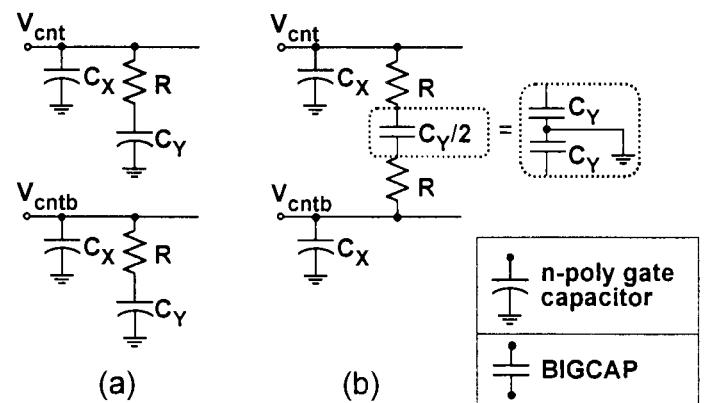


図 9 差動構成 PLL のループフィルタの構成。
(a)従来の構成。(b)提案する構成。(a)と(b)の伝達関数は等しい。BIGCAP を(b)の C_Y に適用した。それ以外の容量には n-poly ゲート容量を用いた。

図 9 (b)の提案するループフィルタをもつ PLL を 1.5-V、0.13μm CMOS プロセスで試作した。図 10 に PLL のチップ写真を示す。図 9 (b)の Cy として BIGCAP を、Cx として n-poly ゲート容量を用いた。試作したループフィルタのパラメータは R = 0.5 kΩ、Cx = 5 pF、Cy/2 = 250 pF である。

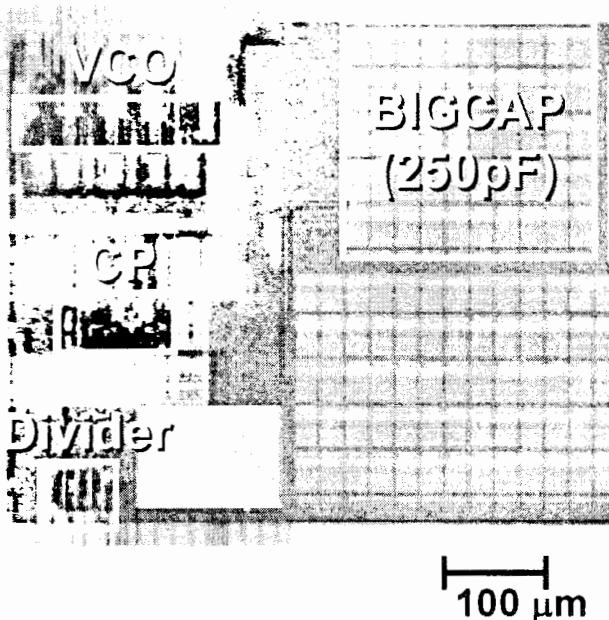


図 10 試作した PLL のチップ写真。ループフィルタは BIGCAP を用いた図 9 (b)の提案方式。

表 1 に図 9 に示す 2 種類のループフィルタにおける MOS ゲート容量のゲート面積の比較を示す。BIGCAP を用いた提案するループフィルタの面積は、BIGCAP を用いない従来のループフィルタの面積のわずか 35% (= 0.25 / 0.70) である。従って PLL 全体の面積も約 1/3 倍に縮小することができる。

また、提案する差動構成 PLL 用ループフィルタの面積は、シングル構成 PLL のループフィルタの面積の 70% である。従って、BIGCAP をループフィルタに適用することにより、PLL をシングル構成から差動構成に変更した際の面積増加を回避するだけでなく、逆に面積を減少させることができる。

表 1 図 9 に示す 2 種類のループフィルタにおける MOS ゲート容量のゲート面積の比較

BIGCAP を用いない 従来の ループフィルタ (図 9(a))	BIGCAP を用いた 提案する ループフィルタ (図 9(b))	
ループフィルタ における MOS ゲート容量 のゲート面積	0.104 mm ² (100%)	0.0373 mm ² (35%)

図 11 に提案するループフィルタをもつ PLL のジッタ測定結果を示す。電源電圧 1.5-V、出力周波数 860 MHz におけるジッタは、rms = 7.0 ps、peak-to-peak = 74.4 ps と良好な特性が得られた。

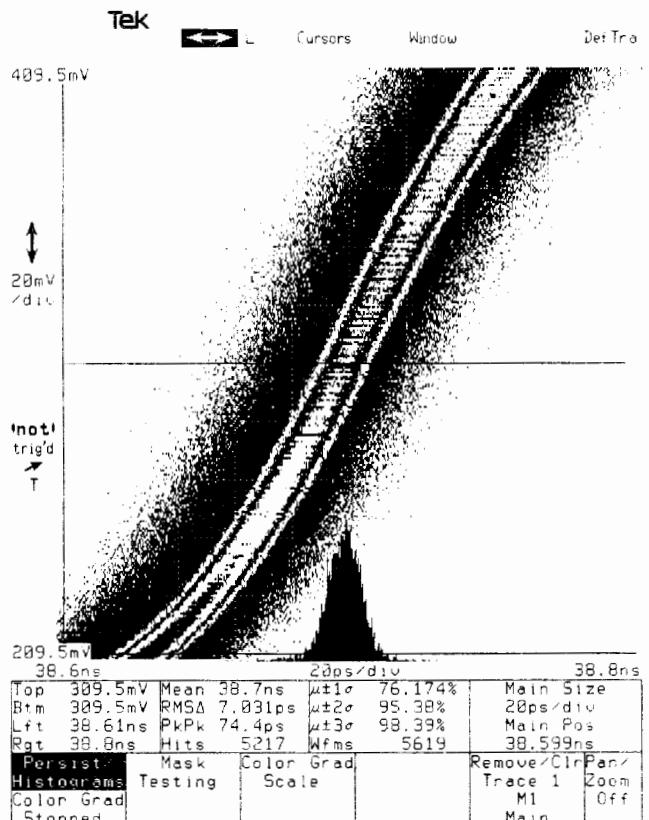


図 11 PLL のジッタ測定結果

5. まとめ

新規提案した BIGCAP は、容量値のバイアス依存がほとんどなく、CMOS 標準プロセスのみで作成することができ、追加プロセスを必要としない。1.5-V、0.13 μm CMOS プロセスで試作し実測した結果、バイアス電圧による容量変動は ±2.9% と小さかった。単位面積当たりの容量は 6.7 fF/μm² と大きく、これは MIM 容量の 6.7 倍、反転時のゲート容量の 0.70 倍である。寄生容量は真性容量のわずか 1.9% であり、Q 値は 43 / (f[GHz] C[pF])、ウエハ面内での容量のはらつきは σ = 0.096% と非常に小さかった。

BIGCAP を差動構成 PLL のループフィルタに適用することにより、PLL の伝達関数を変えずに、PLL の面積を従来の差動構成 PLL の約 1/3 倍に縮小することができた。この BIGCAP は PLL のループフィルタ以外にも、I/O 回路、スイッチトキャパシタ回路、演算増幅器、データ変換器、ミキサ等にも適用でき、応用範囲が広い。

謝辞

本研究の機会を与えて頂きました、大屋所長、山品部長に感謝致します。

参考文献

- [1] H. Samavati, A. Hajimiri, A. R. Shahani, G. N. Nasserbakh, and T. H. Lee, "Fractal capacitors," IEEE J. of Solid-State Circuits, vol. 33, pp. 2035-2041, Dec. 1998.
- [2] K. T. Christensen, "Design and characterization of vertical mesh capacitors in standard CMOS," Dig. of Symp. on VLSI Circuits, pp. 201-204, June 2001.
- [3] M. Takamiya, T. Fukumoto, and M. Mizuno, "A $6.7\text{-fF}/\mu\text{m}^2$ Bias-Independent Gate Capacitor (BIGCAP) with Standard CMOS Process and its Application to the Loop Filter of a Differential PLL", Proc. 28th European Solid-State Circuits Conf., pp. 139 – 142, Sep. 2002.
- [4] H. Djahanshahi and C. A. T. Salama, "Differential CMOS circuits for 622-MHz/933-MHz clock and data recovery applications," IEEE J. of Solid-State Circuits, vol. 35, pp. 847-855, June 2000.