

容量値のバイアス依存がないゲート容量素子(BIGCAP)の提案と 差動構成 PLL のループフィルタへの応用

A Novel Bias-Independent Gate Capacitor and its Application to the Loop Filter of a Differential PLL

高宮 真 水野正之

Makoto Takamiya and Masayuki Mizuno

NEC シリコンシステム研究所

Silicon Systems Research Labs, NEC Corporation

1. はじめに

多くのアナログ回路では、容量値のバイアス電圧依存のない容量素子を必要とする。しかし、一般に用いられるMIM容量は容量が小さい上、追加プロセスを必要とする。そこで、追加プロセス不要で容量が大きく、バイアス依存のない容量素子(BIGCAP: bias-independent gate capacitor)を考案した。このBIGCAPのPLLへの適用結果について示す[1,2]。

2. 提案するBIGCAP

図1にBIGCAPの構成を示す。nウエル中に形成された蓄積型n-polyゲート容量のペアと、pMOSゲート容量のペアから構成されている。n-polyゲート容量は、標準CMOSプロセスにおいて、nMOSのpウエルをpMOSのnウエルで置き換えることにより、追加プロセスなしで製造できる。容量値のバイアス依存を対称にするために、n-polyゲート容量のペアとpMOSゲート容量のペアはそれぞれ同一のレイアウトとし、接続のみ反転させる。n-polyゲート容量とpMOSゲート容量を適切な比率で合成し、互いのバイアス依存を打ち消し合うことにより、小さいバイアス依存が実現できる。

BIGCAPを1.5-V、0.13 μm CMOSプロセスで試作した。図2にBIGCAPのC-V特性の実測結果を示す。n-polyゲート容量のゲート面積を固定し、n-polyゲート容量に対するpMOSゲート容量のゲート面積比(x)を0%から25%まで変化させている。xに関して最適値が存在し、x = 15%の場合に容量値のバイアス依存が最小(±2.9%)になる。BIGCAPの容量は6.7 fF/μm²であり、反転時のゲート容量9.6 fF/μm²の70%であるが、MIM容量(~1 fF/μm²)よりはるかに大きい。

3. 差動構成PLLのループフィルタへの応用

図3に差動構成PLLのループフィルタの構成を示す。差動の制御電圧(V_{cnt}, V_{cntb})にループフィルタが接続される。図3(a)がn-polyゲート容量を用いた従来方式、図3(b)がBIGCAPを用いた提案方式である。提案方式は容量素子に正負両方のバイアスがかかるため、容量値のバイアス依存が大きいn-polyゲート容量では実現できないが、BIGCAPでは実現できる。従来方式と同じ伝達関数を実現するために提案方式で必要な容量はミラー効果によりC_Y/2である。従って、提案方式では従来方式の総容量の1/4倍に削減できる。このPLLの試作を行い動作確認した。

4. まとめ

容量値のバイアス依存がない容量素子を、追加プロセスなしで実現するためにBIGCAPを提案した。0.13 μm CMOSプロセスで試作した結果、バイアスによる容量変動は±2.9%と小さく、容量は6.7 fF/μm²と大きかった。

このBIGCAPを差動構成PLLのループフィルタに応用することにより、PLLの伝達関数を変えずに、PLLの面積を従来の差動構成PLLの約1/3倍に縮小することに成功した。このBIGCAPは、スイッチトキャパシタ回路、演算増幅器、データ変換器等にも応用できる。

参考文献

- [1] M. Takamiya et al., European Solid-State Circuits Conf., pp. 139 – 142, Sep. 2002.
- [2] 高宮等, 電子情報通信学会ICD研究会, 2002年12月.

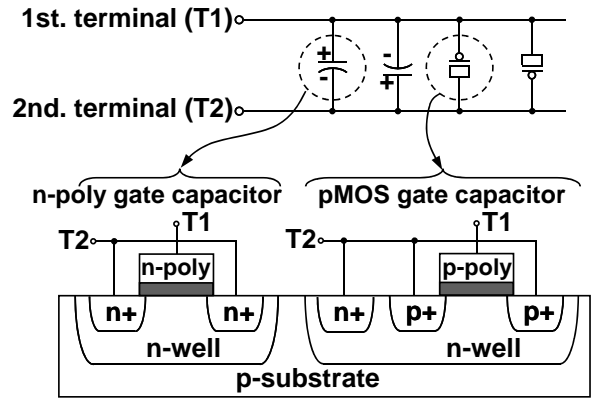


図1 BIGCAPの構成

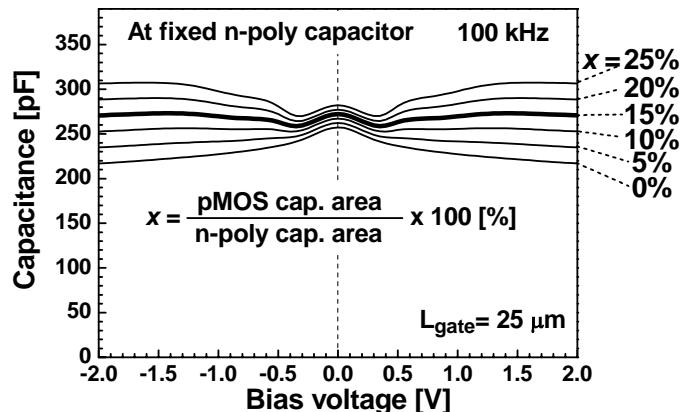


図2 BIGCAPのC-V特性の実測結果

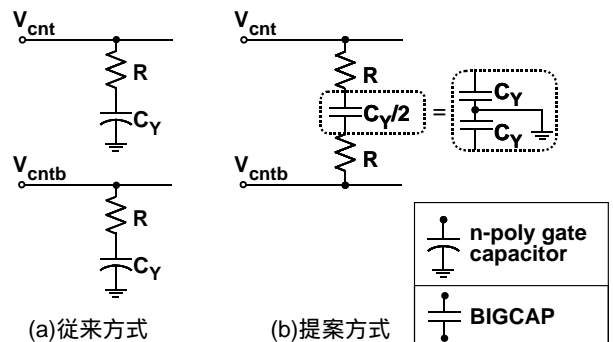


図3 差動構成PLLのループフィルタの構成