

# クロックジッタや電源ノイズの発生原因を解明できる オンチップジッタスペクトラムアナライザ

高宮 真<sup>†</sup> 猪原 宏樹<sup>‡</sup> 水野 正之<sup>†</sup>

<sup>†</sup>NEC システムデバイス研究所 〒229-1198 神奈川県相模原市下九沢 1120

<sup>‡</sup>NEC コンピュータ事業部、現在 NEC エレクトロニクス

E-mail: taka@mel.cl.nec.co.jp

あらまし マイクロプロセッサやシリアル通信用マクロのような高速デジタルLSIにおいて多発している電源ノイズによるジッタ増加に起因する動作不良に対処するためには、LSI上の電源ノイズやジッタをオンチップ測定回路により実測して設計に反映させるフィードバック型の設計スタイルが必要である。この設計スタイルにより、動作不良を設計段階で未然に防止することができる。この設計スタイルを実現するために、オンチップのジッタスペクトラムアナライザを開発した。これにより、LSIが実装され実際に動作している状況下においてジッタ測定を行い、得られたジッタスペクトラムから電源分配網とクロック分配網の中で問題のある箇所を周波数領域で発見することができる。0.18 μm CMOSプロセスでLSIを試作し、1 GHzクロックのジッタスペクトラムの測定を行った。

キーワード クロック、ジッタ、スペクトラム、電源ノイズ、オンチップ測定

## On-Chip Jitter-Spectrum-Analyzer for Locating Trouble-Spots for Clock Jitter and Power Supply Noise

Makoto TAKAMIYA<sup>†</sup>, Hiroki INOHARA<sup>‡</sup>, and Masayuki MIZUNO<sup>†</sup>

<sup>†</sup> System Devices Research Labs, NEC Corporation

1120, Shimokuzawa, Sagamihara, Kanagawa, 229-1198, Japan

<sup>‡</sup>Computers Division, NEC Corporation, now with NEC Electronics Corporation

E-mail: taka@mel.cl.nec.co.jp

**Abstract** The inability to predict accurately the degree to which such performance-degradation factors as jitter induced by fluctuations in supply-voltage are likely to occur has become an increasingly serious issue. This suggests that the traditional digital LSI feedforward design-flow for high-speed LSIs might usefully be replaced by a feedback design-flow based on previously obtained experimental data. As a first step, we have developed an on-chip jitter-spectrum analyzer (JSA) which can locate and analyze trouble-spots in on- and off-chip power-and-clock-distribution-networks during actual operations in the field.

**Key words** Clock, Jitter, Spectrum, Power Supply Noise, On-Chip Measurement

## 1. フィードバック型の設計の必要性

電源ノイズやクロック信号のジッタのような LSI 上のシグナルインテグリティ問題により、マイクロプロセッサやシリアル通信用マクロのような高速デジタルLSIにおいて動作不良が多発している。このシグナルインテグリティ問題は、デバイスの微細化と共に顕在化するため、高速デジタルLSIの今後の性能向上を阻害すると考えられる。

従来の高速デジタルLSIの設計フローは、設計時に電源ノイズやジッタの見積もりは行うが、実際のLSIのノイズやジッタを実測して設計にフィードバックすることはない「フィードフォワード型」の設計スタイルであった。しかし、これでは設計段階でのノイズやジッタの見積もりの妥当性が検証されないため不正確であり[1]、数多くのLSIでノイズやジッタ起因の動作不良を起こしてしまう問題があった。

この問題を解決するためには、実際のLSIでノイズやジッタを実測して設計フローに反映させる「フィードバック型」の設計スタイルが必要である。これにより、設計段階でのノイズやジッタの見積もりの妥当性が検証できるため、動作不良を設計段階で未然に防止することができる。さらに、高速デジタルLSIの性能向上のトレンドを将来にわたって継続することができる。

我々は、この「フィードバック型」の設計スタイルを実現するために、オンチップのジッタスペクトラムアナライザを開発した[2]。ジッタスペクトラムアナライザを使用することにより、開発段階のTEGだけでなく製品LSIが実際に動作している状況下で、LSI上とLSI外部両方の電源分配網とクロック分配網の中で問題のある箇所を発見し解析することができる。2章でジッタを周波数領域で解析する意義を示し、3章でこれを可能にするジッタスペクトラムアナライザの構成を示す。4章でジッタスペクトラムアナライザの中のジッタ測定マクロの回路構成を示し、5章で試作評価結果を述べ、最後に6章でまとめる。

## 2. ジッタを周波数領域で解析する意義

一般に、LSI上の高速信号をLSI外部に取り出して評価するのは、実装系の寄生成分による帯域劣化により困難である。そこで、LSI上の高速な電源ノイズや高速クロック信号のジッタを測定するためには、オンチップ測定回路が必須である。これまでに、電源ノイズ測定用サンプリングオシロスコープマクロ[3-4]、電源ノイズ振幅のリアルタイム測定回路[5]、ジッタヒストグラムの測定回路[6]が報告されている。これらはすべて「時間領域」の測定であるため、どこがノイズ/ジッタ発生の原

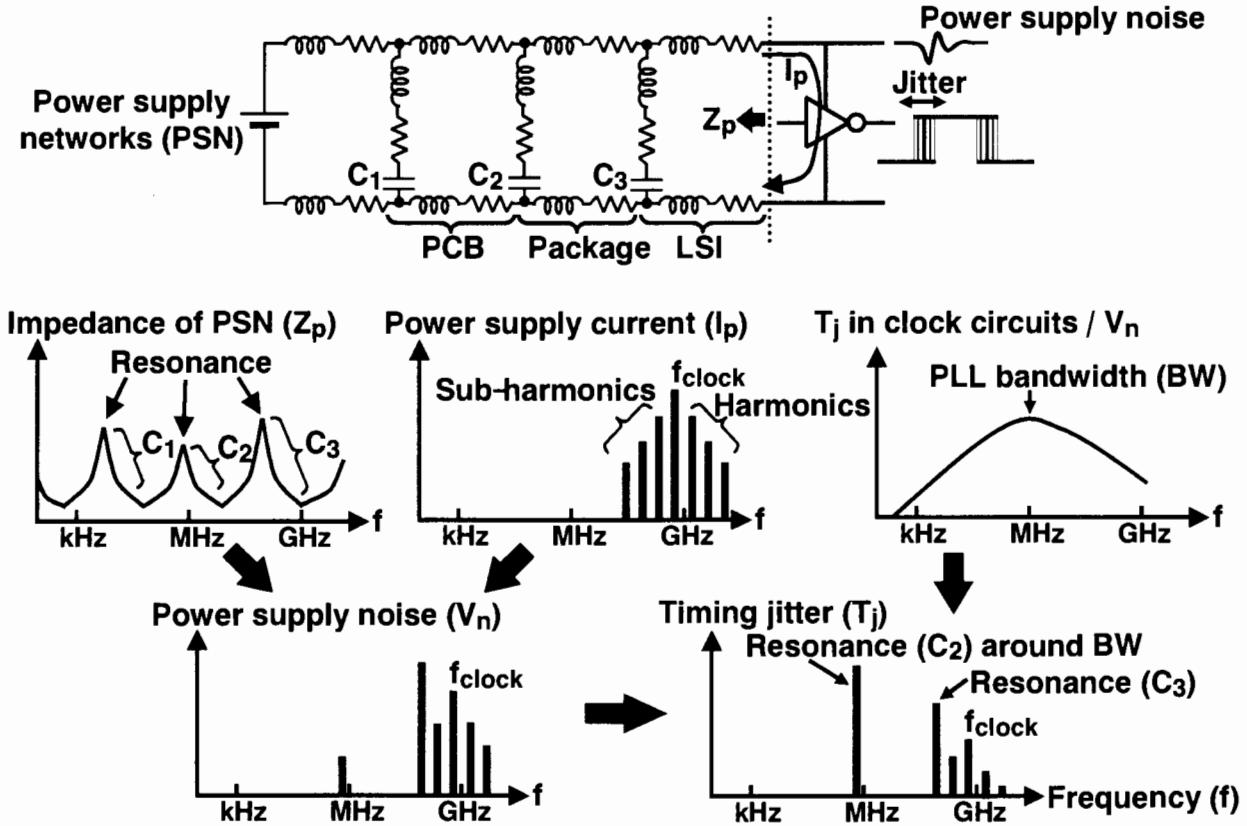


図1 クロックジッタの発生メカニズム

因で、どこを直せばノイズ/ジッタの低減ができるかの指針が得られなかった。従って、想定外に大きいノイズ/ジッタが発生した場合は、デカップリング容量を LSI 上や LSI 外部の電源分配網に試行錯誤的に追加するといった非効率的な開発が行われ、開発 TAT の長期化をもたらしていた。

そこで、ジッタを「周波数領域」で解析する効率的な手法を提案する。図 1 にクロック信号のジッタの発生メカニズムを周波数領域で示す。ジッタは電源ノイズがクロック生成/分配用の回路に与える影響により決まる。この電源ノイズは電源電流( $I_p$ )と電源分配網のインピーダンス( $Z_p$ )の積によって決定される。

電源分配網は LSI だけでなく、PCB/パッケージ/LSI の階層構造で構成される点に注意する必要がある。低周波の電源ノイズに対しては PCB のデカップリング容量( $C_1$ )で、中周波の電源ノイズに対してはパッケージのデカップリング容量( $C_2$ )で、高周波の電源ノイズに対しては LSI のデカップリング容量( $C_3$ )で対処する必要がある。インダクタンスと容量による共振周波数においては電源分配網のインピーダンスが非常に大きくなる。

電源電流はクロック周波数でスペクトラムの最大ピークを持ち、クロック周波数の整数倍と整数分の 1 倍の高調波のピークも持つ。電源電流は LSI の動作に依存して変化し、電源分配網のインピーダンスは LSI の実装状態に依存するので、ジッタの評価は LSI が実装され実際に動作している状況下で行うことが非常に重要である。

クロック生成/分配用の回路が電源ノイズによって発生するタイミングジッタ (= 参照クロックの立ち上がり

に対する被測定クロックの立ち上がり時間のずれ) の伝達関数はクロック生成用 PLL のバンド幅付近でピークをもつ。バンド幅以下の周波数の電源ノイズが発生した場合は、PLL のフィードバック制御が追随できるため、ジッタが減少する。一方、バンド幅以上の周波数の電源ノイズが発生した場合は、クロック分配用回路の遅延の増減が相殺されるため、やはり、ジッタが減少する。

ここで、以上で述べた電源分配網のインピーダンスと電源電流とタイミングジッタの伝達関数は、それぞれの原因に固有の周波数帯を持っていることに注目する。ジッタスペクトラムアナライザを用いてジッタのスペクトラムを測定することにより、電源分配網とクロック回路の両方において、どこが問題の箇所であるのかを明確に特定することができる。問題の箇所を電源設計やクロック設計にフィードバックすることにより、電源ノイズやクロックジッタの低減が可能となる。これにより現在の LSI の不良への迅速な対処や、次世代 LSI の効率的な開発が可能となる。

### 3. ジッタスペクトラムアナライザの構成

図 2 にジッタスペクトラムアナライザの構成を示す。1つまたは複数のジッタ測定マクロを高速デジタルシステム（例えばサーバ）で使用されている LSI（例えばマイクロプロセッサ）の中に埋め込む。このマクロは LSI が実装され実際に動作している状況下でタイミングジ

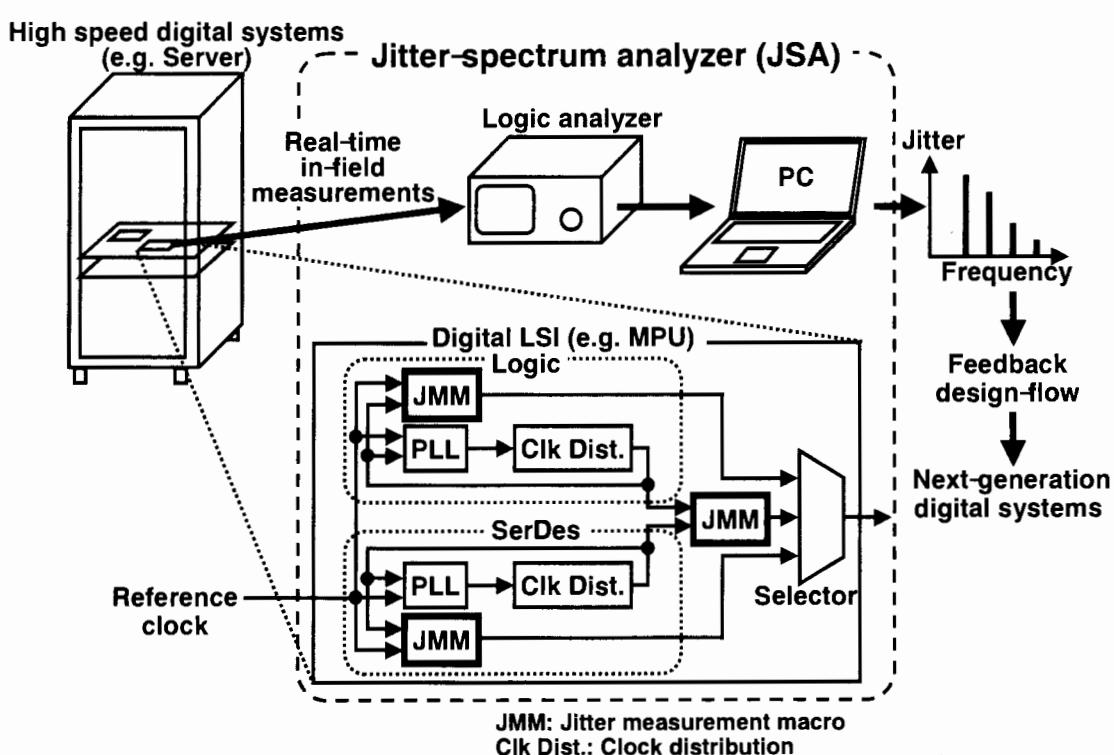


図 2 ジッタスペクトラムアナライザの構成

ッタをリアルタイムに測定する。正しいジッタスペクトラムを得るために、毎クロックでのジッタを欠けることなく連続的に測定する必要がある。もし、単純にジッタ測定を数クロックに1回に間引くと、折り返し雑音が発生し、正しいスペクトラムが得られなくなる。また、従来のジッタ測定回路[6]では周期ジッタ(=クロック周期の変動)の測定を行っていたが、低周波から高周波まで幅広いスペクトラムを得るためにには周期ジッタではなくタイミングジッタの測定が必要である。

図2に示すように、ジッタ測定マクロは、例えば、LSIに入力される参照クロックとクロック分配末端のタイミングジッタや、ロジック部とSerDes部のように異なるクロック領域間のクロック分配末端間のタイミングジッタの測定を行う。ジッタ測定マクロで得られた時間領域のデータをロジックアナライザ経由でPCに取り込み、PCでフーリエ変換を行うことにより、ジッタスペクトラムを得ることができる。

#### 4. ジッタ測定マクロの回路構成

図3にジッタ測定マクロの回路図を示す。位相周波数検出器と新規開発したリセットチャージポンプを用いることにより、被測定クロックの立ち上がりエッジが参考クロックの立ち上がりエッジより早くても遅くても、2つのクロックの時間差をアナログ電圧( $V_x$ )に変換することができる。得られた $V_x$ をA/Dコンバータによってデジタル化して出力する。測定したジッタのバンド幅が出力のバンド幅よりも高い場合は、アンチエイリアシングフィルタを挿入することにより、折り返し雑音を防止

する。

図4のタイミングチャートでジッタ測定マクロの動作を説明する。被測定クロックが参考クロックよりも $\Delta T$ だけ先に立ち上がった場合、Up信号がDown信号よりも $\Delta T$ だけ先に変化するため、図3に示すリセットチャージポンプのnMOS(N1)がオンする時間はpMOS(P1)がオンする時間よりも $\Delta T$ だけ長くなる。その結果、 $V_x$ が $V_{dd}/2$ から $V_{dd}/2 - I_{cp} \Delta T/C$ に変化する。但し、 $I_{cp}$ は電流源の電流値、Cは容量素子の容量値を表す。参考クロックの立ち下がりエッジのT1だけ前に、 $V_x$ の値をA/Dコンバータでサンプリングする。そして、参考クロックが立ち下がると、スイッチ(SW)がオンし、 $V_x$ が $V_{dd}/2$ にリセットされる。同様に、被測定クロックが参考クロックよりも $\Delta T$ だけ遅れて立ち上がった場合は、 $V_x$ が $V_{dd}/2$ から $V_{dd}/2 + I_{cp} \Delta T/C$ に変化する。PVT(process-voltage-temperature)ばらつきや、回路自身の非線形性の影響を除去するために、測定時に $\Delta T$ と $V_x$ の関係をキャリブレーションする。

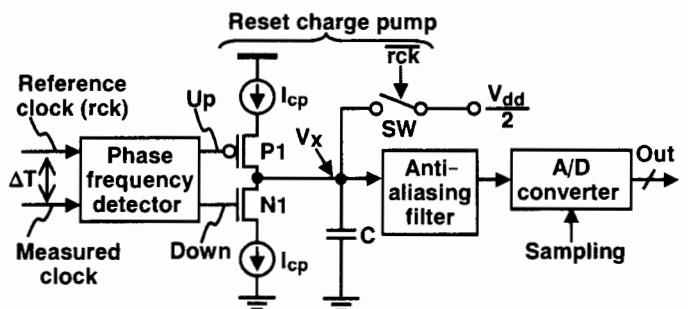


図3 ジッタ測定マクロの回路図

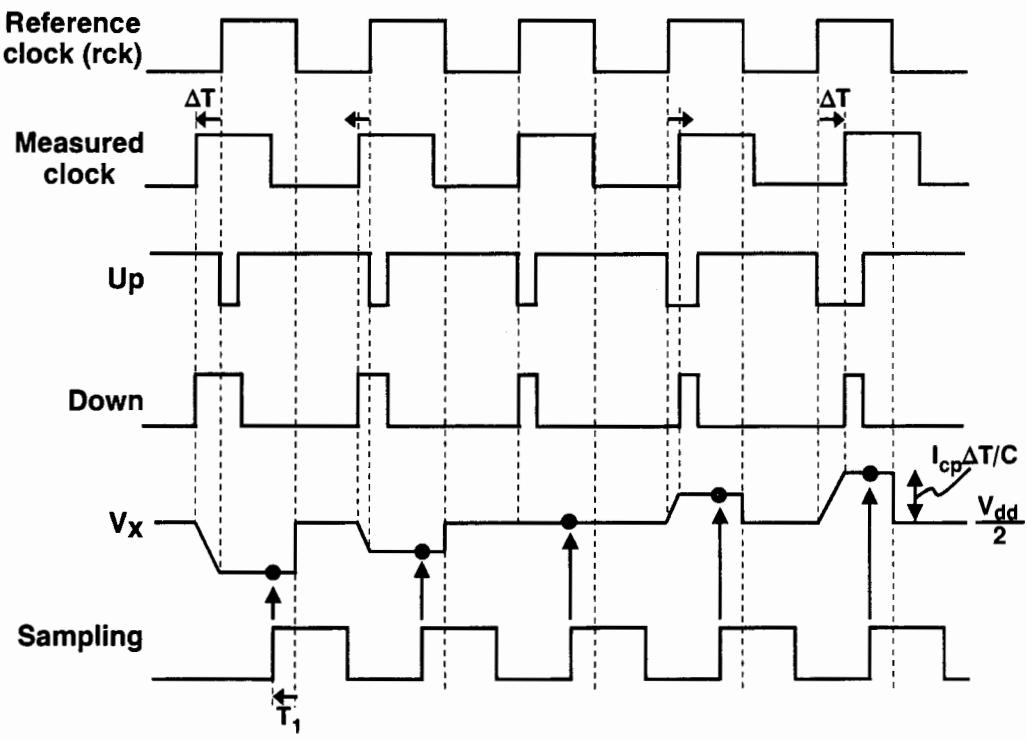


図4 ジッタ測定マクロのタイミングチャート

## 5. 試作評価

ジッタ測定マクロを 1.8V、0.18 μm CMOS プロセスで試作した。図 5 にチップ写真を示す。チップサイズは 1.6 mm × 1.15 mm、マクロサイズは 137 μm × 95 μm である。ジッタ測定マクロのフロントエンドの性能評価を行うため、アンチエイリアシングフィルタと A/D コンバータは搭載していない。

図 6 に試作チップのブロック図を示す。1 GHz クロックで動作する 1ns のインバータ列のジッタを、ジッタ測定マクロで測定した。 $V_x$  はオープンドレインバッファと高周波プローブを経由してリアルタイムオシロスコープにより測定した。1 GHz クロックを参考クロックとして位相周波数検出器(PFD)に直接入力し、1ns のインバータ列の出力を被測定クロックとして PFD に入力した。ジッタを変調するため、インバータ列に電源ノイズを加えるオンチップのノイズ発生回路も搭載した。

キャリブレーション目的として行った、 $V_x$  の  $\Delta T$  依存の実測結果を図 7 に示す。感度は 3.2 mV/ps であり、これは 6bit の A/D コンバータを用いた場合、8.8 ps 刻みの精度に対応する。ジッタの測定範囲は ±200 ps であり、これは 1 GHz クロック周期の ±20% に対応する。

図 8 にジッタスペクトラムアナライザで測定した 1 GHz クロックのジッタスペクトラムの実測結果を示す。50 MHz と 5 MHz の 2 通りの電源ノイズを加え、ジッタを変調した。ジッタスペクトラムは、電源ノイズの周波数とその高調波でピークを示している。従って、ジッタスペクトラムを測定し解析することにより、ジッタ発生の原因である電源ノイズ周波数を特定することができる。

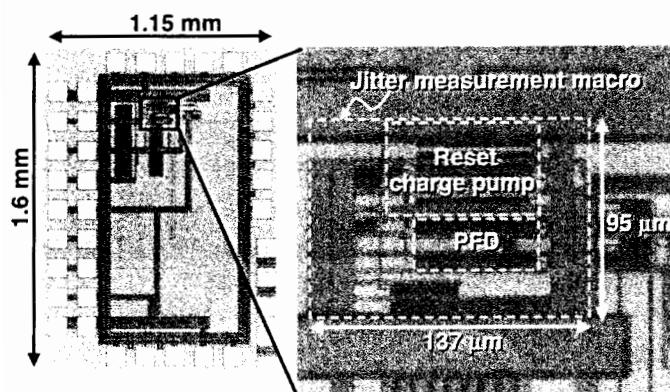


図 5 チップ写真

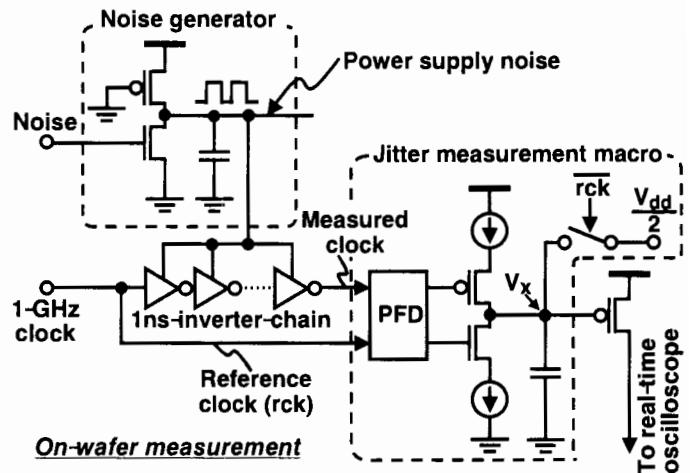


図 6 試作チップのブロック図

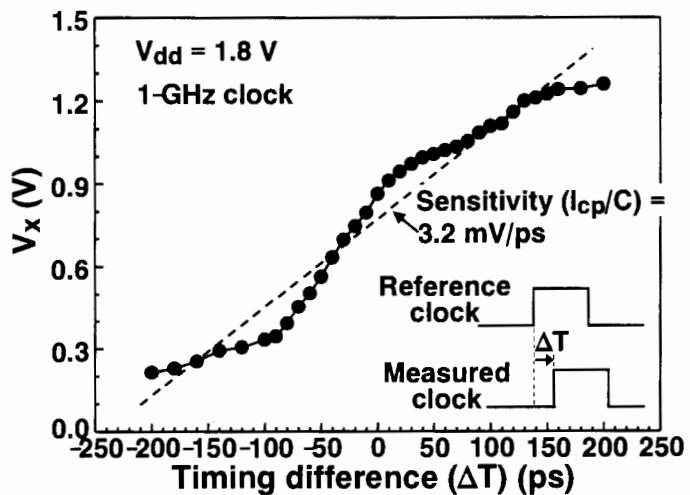


図 7  $V_x$  の  $\Delta T$  依存の実測結果（キャリブレーション用）

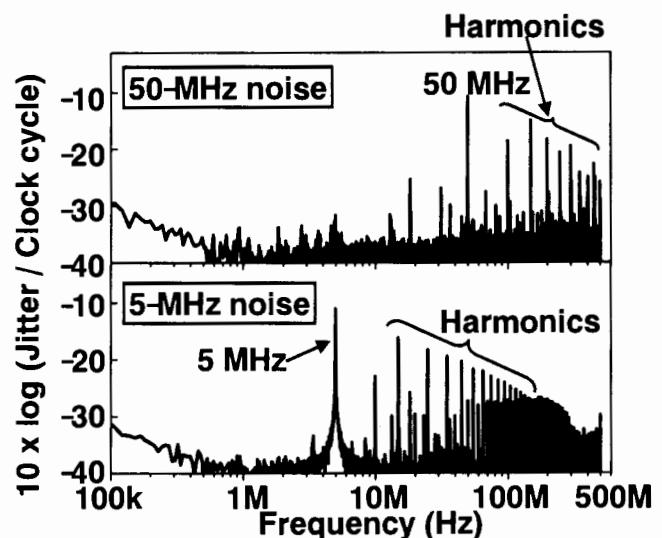


図 8 ジッタスペクトラムアナライザで測定した 1 GHz クロックのジッタスペクトラムの実測結果（50 MHz と 5 MHz の 2 通りの電源ノイズを加えた）

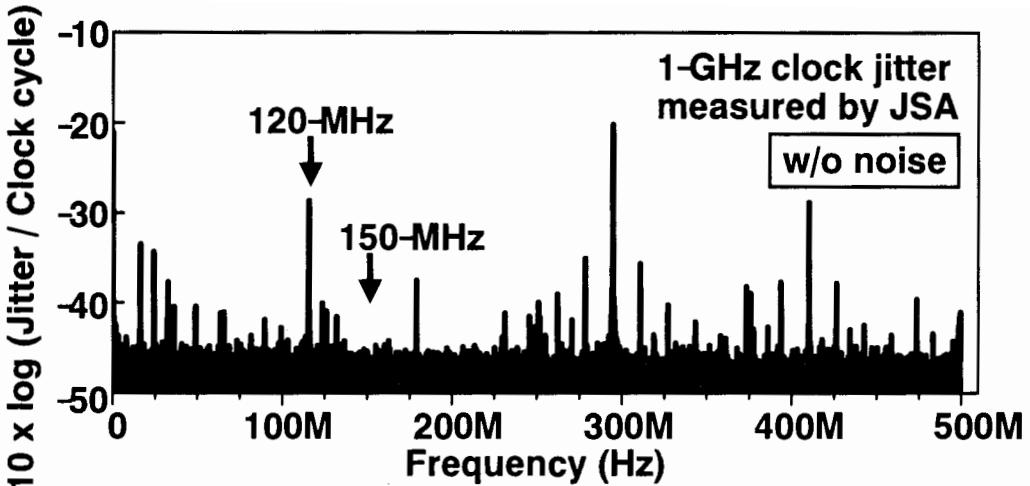


図9 1 GHz クロックのジッタスペクトラムの実測結果（電源ノイズ加えず）

図9に電源ノイズを加えない場合の、1 GHz クロックのジッタスペクトラムの実測結果を示す。高いピークは電源分配網の共振に起因する問題箇所を示唆していると推測される。そこで、この仮説を証明するため、ピークがある 120 MHz とピークがない 150 MHz の2通りの電源ノイズを加えた。表1にジッタスペクトラムアナライザで測定した peak-to-peak ジッタを示す。電源ノイズを加えない場合の peak-to-peak ジッタは 78.7 ps であり、これは図9のスペクトラムに対応する。120 MHz のノイズを加えた場合は 281.1 ps と大きいが、150 MHz のノイズを加えた場合は 99.7 ps と小さい。これは 120 MHz での電源の共振により大きな電源ノイズが発生し、ジッタが増大していることを明瞭に裏付けている。この共振をなくすため、4.7 nF のデカッピング容量をオフチップに追加した。その結果、電源ノイズ無し、120 MHz ノイズ、150 MHz ノイズすべての場合について、peak-to-peak ジッタはデカッピング容量がない場合と比べ大幅に減少した。このように、ジッタスペクトラムアナライザにより得られたジッタスペクトラムを解析することにより、ジッタ対策を効率的に行うことができる。

表1 ジッタスペクトラムアナライザで測定した peak-to-peak ジッタ

Power supply	Peak-to-peak jitter	
	Without decoupling capacitors ( $C_d$ )	With $C_d$
Quiet	78.7 ps (図9に対応する)	23.3 ps
120-MHz noise (On the resonant frequency)	281.1 ps	35.7 ps
150-MHz noise (Off the resonant frequency)	99.7 ps	26.1 ps

## 6. まとめ

高速デジタル LSIにおいて多発している電源ノイズによるジッタ増加に起因する動作不良に対処するためには、LSI 上の電源ノイズやジッタをオンチップ測定回路により実測して設計に反映させるフィードバック型の設計スタイルが必要である。この設計スタイルにより、動作不良を設計段階で未然に防止することができる。この設計スタイルを実現するために、オンチップのジッタスペクトラムアナライザを開発した。これは、LSI が実装され実際に動作している状況下においてジッタ測定を行い、得られたジッタスペクトラムから電源分配網とクロック分配網の中で問題のある箇所を周波数領域で発見することができる。

## 参考文献

- [1] T. Rahal-Arabi, G. Taylor, M. Ma, and C. Webb, "Design & validation of the Pentium III and Pentium 4 processors power delivery," IEEE Dig. of Symp. on VLSI Circuits, pp. 220–223, June 2002.
- [2] M. Takamiya, H. Inohara, and M. Mizuno, "On-chip jitter-spectrum-analyzer for high-speed digital designs," IEEE ISSCC Digest of Technical Papers, pp. 423 – 426, Feb. 2004.
- [3] M. Takamiya, M. Mizuno, and K. Nakamura, "An on-chip, 100-GHz sampling rate, 8-channel sampling oscilloscope macro with embedded sampling clock generator," IEEE ISSCC Digest of Technical Papers, pp. 182–183, Feb. 2002.
- [4] 高宮 真, 水野正之, 中村和之, "シグナルインテグリティ評価用 100-GSa/s サンプリングオシロスコープマクロの設計と評価," 電子情報通信学会、信学技報, ICD2002-32, pp.43-48, 2002 年 5 月.
- [5] A. Muhtaroglu, G. Taylor, T. Rahal-Arabi, and K. Callahan, "On-die droop detector for analog sensing of power supply noise," IEEE Dig. of Symp. on VLSI Circuits, pp. 193–196, June 2003.
- [6] R. Kuppuswamy, K. Callahan, K. Wong, D. Ratchen, and G. Taylor, "On-die clock jitter detector for high speed microprocessors" IEEE Dig. of Symp. on VLSI Circuits, pp. 187–191, June 2001.