

解説

LSIにおける シグナルインテグリティ問題と対策 —LSI性能の継続的な進化のために—

Signal Integrity on LSIs and Their Solutions: For the Continuous Progress of LSI Performance

水野正之 高宮 真 西 直樹

Abstract

シグナルインテグリティ(SI)問題とは信号波形や信号電圧などのひずみや劣化など引き起す問題で、今日の半導体デバイスの微細化によるチップ性能向上を妨げている大きな要因である。本稿では、近年研究開発が盛んなSI現象観測回路に焦点を当てる。この回路はチップ内部に集積され、これまで現象が複雑かつ高速であったため困難であった様々なSI現象の観測を可能にする。本稿では更に、筆者らが取り組んでいるこの観測結果を最大限に活用することで可能となるLSIの新しい物理設計の可能性に関して述べる。

キーワード：シグナルインテグリティ、電源電圧変動、ジッタ、観測回路、測定回路

1.はじめに

今日の大規模集積回路(LSI: Large-scale Integration)の性能向上は、半導体デバイスの微細化、コンピュータ援用デザイン(CAD: Computer-Aided Design)ツールの高性能化、回路やアーキテクチャの技術進歩によるところが大きい。このLSIの性能向上を阻む大きな要因となってきているのが、シグナルインテグリティ(SI: Signal Integrity)問題である。

SI問題とは、信号波形や電源電圧などのひずみと劣化などのSI現象が引き起す問題の総称である。例えば、信号配線間キャパシタンスやインダクタンスによるクロストーク、本来は一定電位であるはずのチップ内電源電圧の揺らぎ、シリコン基板に伝搬する雑音、チップ内温度分布、これらに起因するクロック信号などの発振周期の揺らぎ(ジッタ)やクロック信号の到着時間のずれ(スキュー)などである。デバイス特性のばらつきなども広義のSI現象ととらえることができる。

0.25μmプロセス辺りから表面化した容量性クロストークのような従来のSI問題は、原因となる物理現象が単純かつ局所的そのため、CADツールによる予想を用

いた物理設計で十分対処できた。しかしながら、例えば電源電位の揺らぎなど近年のSI問題は、原因となる物理現象が複雑で、影響の及ぶ範囲及び影響の受ける範囲が全局的である。このため、デバイスプロセス、回路、実装から機器、更にチップで動作する応用プログラムの挙動までを考慮しなければならず、様々な顧客ニーズに依存した全局的な解析が必要となる。しかし、今日のCADツールでは速度と精度の両方が不足し、これに対して十分な対策を打つことができない。したがって、チップの物理設計が長期化したり、本来は必要ではない過大な設計マージンを持ったチップを開発せざるを得なくなる。つまり、SI問題が深刻化するとデバイスの微細化によるチップの動作速度や回路規模のスケーリングが困難になる。このため、例えば、特に高速なはん用マイクロプロセッサではオンチップマルチコアという回路・アーキテクチャの工夫により、今後の継続的な性能向上をねらう動きがある。一方、短いタイムツーマーケットの製品開発が求められる特定用途向け集積回路(ASIC: Application Specific Integrated Circuit)の場合、顧客ごとに専用設計することから、思いもよらない箇所で深刻なSI問題が起る危険性がある。この場合、不良解消に長期化とチップ再設計という不本意なコスト増大を招く。

本稿では、このようなSI問題に挑むためのオンチップSI現象観測回路とその応用について現在の研究状況を紹介する。

水野正之 正員 NECシステムデバイス研究所

E-mail mizuno@mc1.cl.nec.co.jp

高宮 真 正員 NECシステムデバイス研究所

西 直樹 正員 NECシステムデバイス研究所

Masayuki MIZUNO, Naoki NISHI, Members, and Makoto TAKAMIYA, Nonmember (System Devices Research Laboratories, NEC Corporation, Sagamihara-shi, 229-1198 Japan).

電子情報通信学会誌 Vol.88 No.4 pp.272-275 2005年4月

2. オンチップ SI 現象観測回路

SI 現象を理解するにはまずは SI 現象を観測しなければならない。しかし、デバイスの微細化によりチップ外部からチップ内部の観測点に観測用の針を直接当てることが困難になっている。また、一般的に高速な SI 現象をチップ外部に出力することは容易ではない。このような背景から、チップ内部の SI 現象をチップ外部に出力するための SI 現象観測回路の研究が盛んになっている。この回路はチップ内部に集積され、通常は観測できないような SI 現象をチップ外部に出力する。この観測回路の歴史は古く、例えば 1996 年に基板雑音の測定回路の報告がある⁽¹⁾。この後、ジッタのヒストグラム^{(2)~(4)}、電源電圧変動^{(5)、(6)}、基板雑音^{(1)、(5)、(7)}、クロストーク^{(8)~(11)}、同時双方向 I/O での雑音^{(12)、(13)}、SRAM 回路での信号推移⁽¹⁴⁾、波形オーバーシュート⁽¹⁵⁾などを観測する回路が報告されている。これらの観測結果は、SI 現象をより深く理解することに役立ち、LSI 設計にフィードバックされるだけでなく、SI 現象のモデル化と CAD ツールへの組入れが図られる。前に SI 現象は、物理現象が複雑かつ高速になっており解析的な手法では現象を予想することが困難と述べた。同じような困難を持ち、継続的に性能向上を果たしているものに、デバイスプロセス開発がある。筆者らは LSI の物理設計においても、デバイスプロセス開発のような、試作・評価を設計にフィードバックすることが今後ますます重要となり、SI 現象観測回路はそのための必須の技術になると考えている^{(4)、(15)}。

3. 応用

更に筆者らは LSI 開発メーカーが実験のために試作するチップに SI 現象観測回路を搭載するだけではなく、製品チップに SI 現象観測回路を搭載するための技術を一部の顧客と NEC エレクトロニクスと共同で開発し、製品チップへの適用を始めた。

製品チップに搭載し、顧客の機器が動作しているときに SI 現象を観測することで、LSI パッケージやプリント基板、機器、応用プログラムなど、その LSI が実際に動作するときの顧客固有の環境下での SI 現象が観測可能になる。このことで、回路間あるいはチップ間の相性問題、特定の応用プログラムを動作させて初めて見つかる問題、チップ内クロック信号のジッタの原因解析など、今日の LSI 開発で不良解析の長期化を引き起したり、性能向上を妨げたりしている原因となっている大局化した SI 現象を観測できると考えている。

製品チップからの観測結果は製品に不具合があったときだけ活用されるものではない。測定対象の顧客の機器では直接性能に影響がない SI 現象であっても、その機器の次期製品では問題となるような SI 現象、つまり、

現状の製品ではまだ表面化していないが将来対策が必要な現象を観測できる可能性がある。経年変化なども観測対象となる。このような観測結果を基にすれば、次期製品開発での様々な設計マージン及び設計コスト配分の適正化が可能で、SI 問題起因で性能スケーリングが困難となっていた機器の継続的性能向上の強い武器になるとを考えている。

製品チップに SI 現象観測回路を集積する場合の回路の技術的課題は、以下のとおりである。

(1) 省面積化

観測回路を搭載することでチップ面積が大きくならないようにする。また、顧客チップの空き領域に搭載できるようにする。

(2) 出力ピン数・信号帯域削減

必要な専用 I/O ピンの数を減らす。他の I/O ピンと共用できると望ましい。また、広帯域信号を扱う特殊な I/O の使用をなくす。

(3) 専用電源不要

観測回路のために専用電源を使うことを避ける。通常デジタルロジック回路の電源などと共に通であることが望ましい。

(4) 要所の観測

適切なタイミングにおける必要な情報のみを抽出する。一般的に観測データは非常に多くの情報を含んでいるが、その中でいかに必要な情報を選ぶかがキーとなる。

また、回路だけではなく、観測データを顧客の機器外部に送信するための仕組みも重要である。信号ケーブルを使って機器外部に伝送する一般的な方法以外に、例えば、機器内部に不揮発メモリを搭載し、そこに必要な情報を蓄える方法、無線通信を使って機器外部にデータを送信する方法など、様々な方法が考えられる。

4. 今後の展望

図 1 に示すように、SI 現象観測回路の結果を得る場面として、①実験室内、②出荷前の量産工場内、③出荷後がある。より顧客に近いところから観測結果を得ることで、設計マージンをより小さくできる。また、今後の展望として、④民生向け製品など、多数の顧客からの情報を得ることで、情報の価値をより高くできる可能性がある。例えば、顧客層による利用パターンや動作時の環境などの違いにより設計マージンをセグメント化することができれば、更にチップの設計マージンを小さくでき、機器性能の向上が可能である。しかし、このように設計マージンをセグメント化する場合は、設計マージン不足になることを機器が事前に自動検出し、設計マージン不

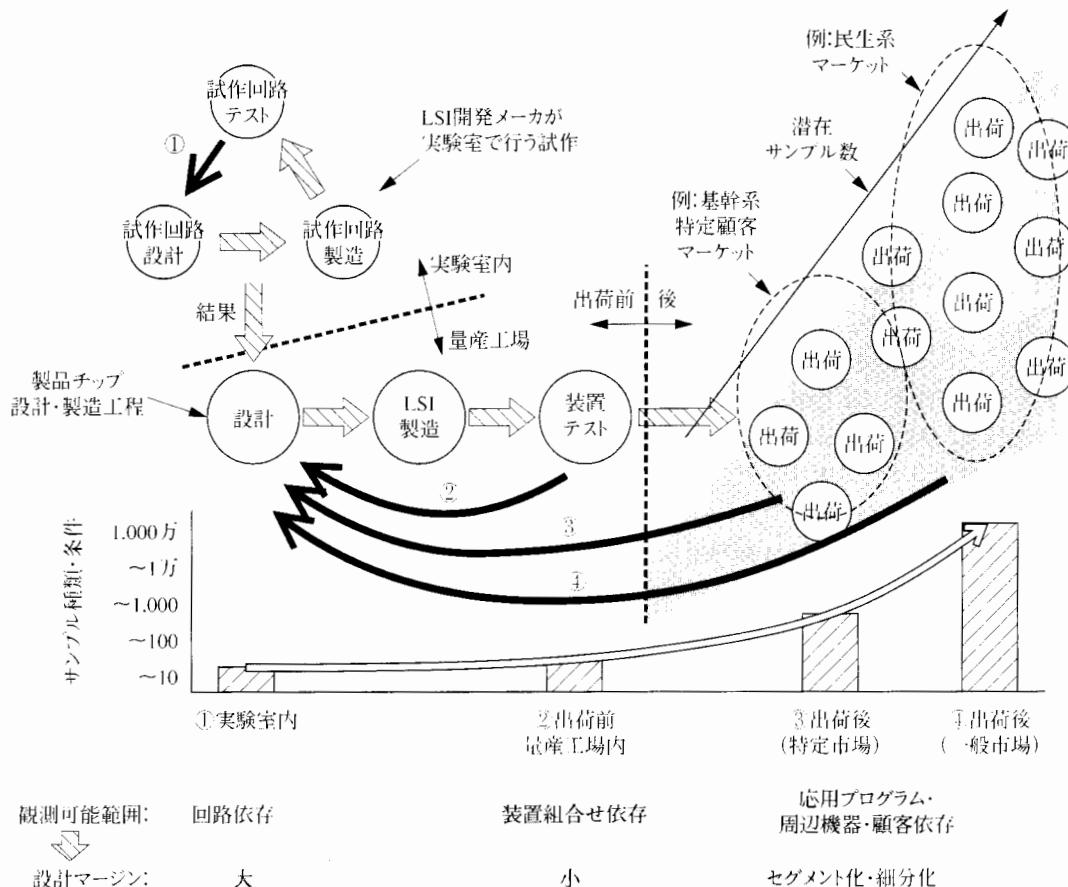


図1 LSI設計・製造の流れとSI現象観測結果の様々なフィードバック経路

足にならないように機器の動作を制限するか、あるいは、例えば顧客に動作不能であることを警告する仕組みなどを同時に導入する必要がある。このような仕組みを導入しSI現象観測回路の情報をより効果的に活用することができれば、機器の継続的な性能向上に対する様々なコストを削減する強い武器になることができると考えている。

5. む す び

チップ製造コストが非常に高くなっている現在では、製造後の不具合は致命的であるため、SI問題は過度の設計マージンにしづ寄せされ、機器性能の低下を招く。本稿で紹介したチップ内に観測回路を搭載し、その結果を機器性能の継続的向上に最大限活用するという発想は、LSI物理設計の新しい流れになる可能性を秘めている。更にいえば、多数の情報は新しい価値を生むという考え方から、多くの顧客からの情報を収集し、それをチップ設計に活用できれば、ビジネスモデルを含めて可能性の幅は更に広がると考えている。

謝辞 本稿で述べた技術は、NECの梶田幹浩氏、林朋広氏、NECエレクトロニクスの齋藤敏幸氏、中元敏氏、猪原宏樹氏と共に研究開発を進めているものである。深く感謝の意を表します。

文 献

- (1) K.M. Fukuda, T. Anbo, T. Tsukada, T. Matsuura, and M. Hotta, "Voltage-comparator-based measurement of equivalently sampled substrate noise waveforms in mixed-signal integrated circuits," IEEE J. Solid-State Circuits, vol.31, no.5, pp.726-732, May 1996.
- (2) N. Abaskharoun and G.W. Roberts, "Circuits for on-chip sub-nanosecond signal capture and characterization," Proc. IEEE Custom Integrated Circuits Conf., pp.251-254, 2001.
- (3) R. Kuppuswamy, K. Callahan, K. Wong, D. Ratchen, and G. Taylor, "On-die clock jitter detector for high speed microprocessors," Symp. VLSI Circuits Dig. Tech. Papers, pp.187-191, 2001.
- (4) M. Takamiya, H. Inohara, and M. Mizuno, "On-chip jitter-spectrum-analyzer for high-speed digital designs," IEEE Int. Solid-State Circuits Conference (ISSCC), pp.423-426, Feb. 2004.
- (5) M. Takamiya, M. Mizuno, and K. Nakamura, "An on-chip 100GHz-sampling rate 8-channel sampling oscilloscope with embedded sampling clock generator," IEEE Int. Solid-State Circuits Conf. Dig. Tech. Papers, pp.182-183, 2002.
- (6) A. Muhtaroglu, G. Taylor, and T. Rahal-Arabi, "On-die droop detector for analog sensing of power supply noise," IEEE J. Solid-State Circuits, vol.39, no.4, pp.651-660, April 2004.
- (7) M. Nagata, J. Nagai, T. Morie, and A. Iwata, "Measurements and analyses of substrate noise waveform in mixed-signal IC environment," IEEE Trans. Compu.-Aided Des. Integr. Circuits Syst., vol.19, no.6, pp.671-678, June 2000.
- (8) K. Soumyanath, S. Borkar, C. Zhou, and B.A. Bloechel, "Accurate on-chip interconnect evaluation: a time-domain technique," IEEE J. Solid-State Circuits, vol.34, no.5, pp.623-631, May 1999.

- (9) S.D. Bendia, F. Caignet, E. Sicard, and M. Roca, "On-chip sampling in CMOS integrated circuits," IEEE Trans. Electromagn. Compat., vol.41, no.4, pp.403-406, Nov. 1999.
- (10) T. Sato, D. Sylvester, Y. Cao, and C. Hu, "Accurate in situ measurement of peak noise and delay change induced by interconnect coupling," IEEE J. Solid-State Circuits, vol.36, no.10, pp.1587-1591, Oct. 2001.
- (11) M.M. Hafed and G.W. Roberts, "A 5-channel, variable resolution, 10-GHz sampling rate coherent tester/oscilloscope IC and associated test vehicles," Proc. IEEE Custom Integrated Circuits Conf., pp.621-624, 2003.
- (12) E. Yeung and M.A. Horowitz, "A 2.4 Gb/s/pin simultaneous bidirectional parallel link with per-pin skew compensation," IEEE J. Solid-State Circuits, vol.35, no.11, pp.1619-1628, Nov. 2000.
- (13) B. Casper, A. Martin, J. E. Jaussi, J. Kennedy, and R. Mooney, "An 8-Gb/s simultaneous bidirectional link with on-die waveform capture," IEEE J. Solid-State Circuits, vol.38, no.12, pp.2111-2120, Dec. 2003.
- (14) R. Ho, B. Amrutur, K. Mai, B. Wilburn, T. Mori, and M. Horowitz, "Application of on-chip samplers for test and measurement of integrated circuits," Symp. VLSI Circuits Dig. Tech. Papers, pp.138-139, 1998.
- (15) M. Takamiya and M. Mizuno, "A sampling oscilloscope macro toward feedback physical design methodology," IEEE Symposium on VLSI Circuits, pp.240-243, June 2004.



みずの　まさゆき
水野　正之（正員）

平3阪大・工・電子卒、平5同大学院博士前期課程了。平5日本電気(株)入社。平11-09～12-09スタンフォード大客員研究員。LSI回路の研究開発に従事。現在、システムデバイス研究所主任研究員、博士（工学）。平11本会論文賞、平15市村賞貢献賞各受賞。IEEE会員。



かくみゆ
高宮　眞

平7東大・工・電子卒、平12同大学院博士課程了。平12日本電気(株)入社。高速マイクロプロセッサのクロック／電源設計、及び、LSI上のパワーインテグリティ、シグナルインテグリティの研究開発に従事。現在、システムデバイス研究所主任、博士（工学）。平11SSDMのYoung Researcher Award受賞。IEEE会員。



にしひ
西　直樹（正員）

昭57広島大・工・電気系卒、昭59同大学院博士前期課程了。昭59日本電気(株)入社。スーパーコンピュータの研究開発と製品開発に従事後、現在は低電力＆高性能チップマルチプロセッサの研究開発を推進。現在、システムデバイス研究所研究部長、情報処理学会会員。