

《CICC 2008 Report》

採択論文数ではアジアが伸長 3次元チップ積層の発表が増加



東京大学 大規模集積システム設計教育研究センター 准教授 高宮 真

第30回 2008 IEEE Custom Integrated Circuits Conference (CICC 2008) が、米カリフォルニア州San Joseで9月21日～24日まで開催された。出席者数は約400名、投稿論文件数は364件、採択論文数は169件であった。このうち日本の採択論文の割合は前年比5ポイント減、アジアは同6ポイント増となった他、米国の産業界からの発表が大幅に減少した。無線、A/Dコンバータ、More Than Moore関連の発表が活況を呈し、3次元積層チップの発表が増加した。

●投稿/採択論文ともに減少

国際会議2008 IEEE Custom Integrated Circuits Conference (CICC 2008) がIEEE Solid-State Circuits Societyの主催、IEEE Electron Devices Societyの協賛により、9月21日～24日の4日間にわたってシリコンバレーの中心都市として有名な米国カリフォルニア州San Joseにて開催された。今年では第30回目の開催である。本会議の出席者数は約400名であった。半導体回路の他の学会であるISSCCやVLSI Symposiumに対して、CICCは上位(ソフトウェア・EDA技術)と下位(デバイス技術)との連携を重視してきた伝統がある。

今回は364件(前年比11%減)の投稿があり、この中から169件(同15%減)の論文が採択され、採

択率は46%(同2%減)であった。これらの採択論文は、一般口頭発表92件、招待口頭発表28件、ポスター発表49件の3種類に分類できる。一般口頭発表に限ると、採択率は25%と低く、結果として質の高い論文が揃った。

●米国産業界からの採択論文数が大幅に減少

図1に採択論文の地域別と産業界/大学別の分類を示す。産業界/大学別では、全体の27%が産業界から、残り73%が大学(公的研究機関を含む)からの論文である。割合別順位は、1位が北米の大学(47%)、2位がアジアの大学(16%)、3位が北米の産業界(15%)である。

地域別では、前年と比べ、北米と欧州がほぼ同

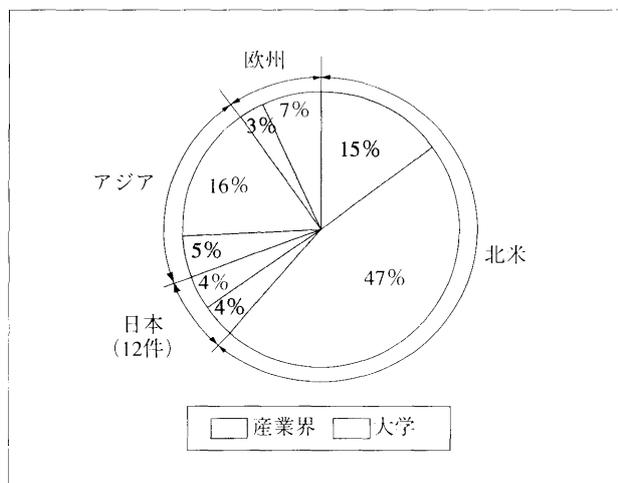


図1 採択論文の地域別および産業界/大学別の分類



図2 基調講演

表1 日本からの発表論文

| 論文番号 | 内容 | 発表機関 |
|--------------|---------------------------|---------------------|
| デジタル | | |
| 3.4 | 基板順バイアスによるチップ間ばらつき抑制 | 東芝 |
| 4.1 | クロストークによる遅延劣化の実測 | ルネサス、日立情報通信エンジニアリング |
| 8.5 | 低電圧マルチコアLSI向けの新しいテスト手法 | 東京大学 |
| 14.4 | MRAMプロセスを用いた不揮発フリップチップ | NEC |
| 21.7 | セキュアマルチメディア応用向けマルチコアSoC | ルネサス |
| 22.2 | 大規模LSI向け基板ノイズの高速解析手法 | NECEL、NEC |
| TP01 | コンパレータのダイナミックオフセット制御 | 慶應大学、富士通研 |
| TP14 | 細粒度基板バイアスを用いた全体最適化による低電力化 | 東京大学 |
| 新しい方向性のLSI技術 | | |
| 6.3 | CMOSドライバとMEMSアクチュエータの集積化 | 東京大学、東芝 |
| 13.2 | 人工網膜チップ | 奈良先端大学、ニデック、大阪大学 |
| 21.1 | 貫通ビアとマイクロバンプによるウェーハ積層技術 | ホンダ・リサーチ・インスティテュート |
| アナログ | | |
| 7.7 | 15bitパイプラインAD変換器 | 静岡大学 |

じであるのに対して、日本は5ポイント減、アジアは6ポイント増と、日本とアジアで対照的な結果となった。

また、米国の産業界からの採択論文数が昨年の48件から今年26件に大幅減少しており、これが今年の採択論文総数の減少の主因であると推測される。研究機関別の発表件数が最も多かったのは、米オレゴン州立大学の10件であった。

●Application Specificな技術開発が重要

基調講演は、米SVTC TechnologiesのCEOであるDave Bergeron氏から「More Than Moore」のタイトルで行われた。Mooreの法則に従ったデジタルとメモリに対して、CMOSと新しい技術の融合を指す“More Than Moore”の技術を用いたApplication Specificな技術開発が重要になることが示された。

●3次元積層技術を用いた実測データに注目

今回、日本からの発表は全12件であった。表1に日本からの全発表を3分野に分類して示す。今回は、マルチコア、低電力、ノイズ解析などデジタル回路の分野で多くの発表が行われた。本会議全体としては、無線、A/Dコンバータ、More Than Moore関連の発表が活況であるのは例年の傾向である。

一方、今年の新しい変化としては、3次元チップ積層の発表が増加し、セッションが新たに1つ設けられた点がある。貫通ビア(TSV)を用いて作成



図3 ポスターセッション

した3次元チップ積層向けの製造技術(論文番号21.1)と回路技術(論文番号21.2~21.4)の提案が行われた。特に、米国の3大学が、マサチューセッツ工科大学(MIT)が提供する0.18μm完全空乏型SOI CMOSを3層積層する3次元LSI試作サービスを利用して、3次元集積システム向けのクロック分配手法(論文番号21.2)、積層チップ間の信号伝送技術(論文番号21.3)、積層チップ間向け非同期回路(論文番号21.4)をすべて実測データつきで示したことは注目に値する。

第31回目となる次回のCICCは、2009年9月に、今年と同じくSan Joseで開催される予定である。詳細は、Webサイト(<http://www.ieee-cicc.org/>)を参照されたい。