

極低電圧動作による低エネルギー LSI

Low Energy LSI with Extremely Low Voltage Operation

高宮 真 篠原尋史 桜井貴康



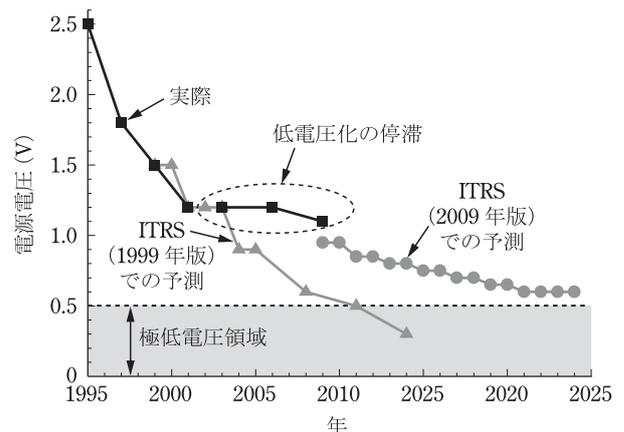
LSIの極低電圧化はLSIの低エネルギー化に有効であるだけでなく、センサネットや健康分野等の極低電力アプリケーションを拡大する上での技術的推進力となる重要技術である。LSIの極低電圧動作は従来とはけた違いのばらつきを伴うため、LSI設計者に挑戦的な課題を突きつけている。本稿では、論理回路を中心にLSIを構成する各回路の極低電圧化の課題と最新動向を整理し、新しい応用分野の方向性と将来展望を示す。

キーワード：LSI, 極低電圧, 低エネルギー, 低消費電力, ばらつき

1. はじめに

地球環境の保全のためにCO₂削減が求められており、電子機器においても消費電力の削減が必要とされている。しかし、情報処理と通信の量は年々、指数関数的に増加しているため、データセンターやネットワークの消費電力は急激に増加している。LSIとしてCO₂削減に貢献するアプローチとして「グリーン of IT」と「グリーン by IT」の二つが考えられる。いずれの場合においてもLSIの低消費電力化は重要課題である。CMOS回路の動作電力は電源電圧の二乗に比例するので、LSIの低消費電力化にはLSIの電源電圧を下げるのが最も有効である。

しかし、電源電圧の低電圧化は容易ではない。図1にLSIの電源電圧の年次推移を示す。実績値と1999年版と2009年版国際半導体技術ロードマップ⁽¹⁾による予測値を併せて示す。本稿では電源電圧0.5V以下を「極低電圧」と定義する。1995年から2001年の期間は、2.5Vから1.2Vへ順調に低電圧化が進んだ。1999年版のロードマップではこのトレンドを外挿して、2014年に0.3Vまで低電圧化が進むことが予測されていた。しか



ITRS：国際半導体技術ロードマップ (International Technology Roadmap for Semiconductors の略)

図1 LSIの電源電圧の年次推移 実績値と1999年版と2009年版のITRS (国際半導体技術ロードマップ)での予測値を併せて示す。電源電圧0.5V以下を極低電圧と定義する。2001年以降現在まで実際の低電圧化は1.1~1.2V付近で停滞している。また、1999年版と2009年版のITRSを比較すると、低電圧化のペースは大幅に鈍化している。

し、実際には2001年以降現在まで低電圧化は1.1~1.2V付近で停滞している。これを裏付けるように、最新の2009年版のロードマップでは低電圧化のペースは大幅に鈍化し、2024年の電源電圧は0.6Vであると予測されている。しかし、電源電圧一定でLSIの微細化を進めると消費電力密度が増大しトランジスタの信頼性が劣化するため、今後は低電圧化をより積極的に推進する必要がある。

そこで、本稿では、2.で極低電圧LSIの意義と波及

高宮 真 正員 東京大学大規模集積システム設計教育研究センター
 篠原尋史 正員 (株)半導体理工学研究センター極低電力研究開発部
 桜井貴康 正員：フェロー 東京大学生産技術研究所
 Makoto TAKAMIYA, Member (VLSI Design and Education Center, The University of Tokyo, 153-8505 Japan), Hirofumi SHINOHARA, Member (ELP R&D Department, Semiconductor Technology Academic Research Center, Tokyo, 153-8505 Japan), and Takayasu SAKURAI, Fellow (Institute of Industrial Science, The University of Tokyo, Tokyo, 153-8505 Japan).
 電子情報通信学会誌 Vol.93 No.11 pp.943-947 2010年11月
 ©電子情報通信学会 2010

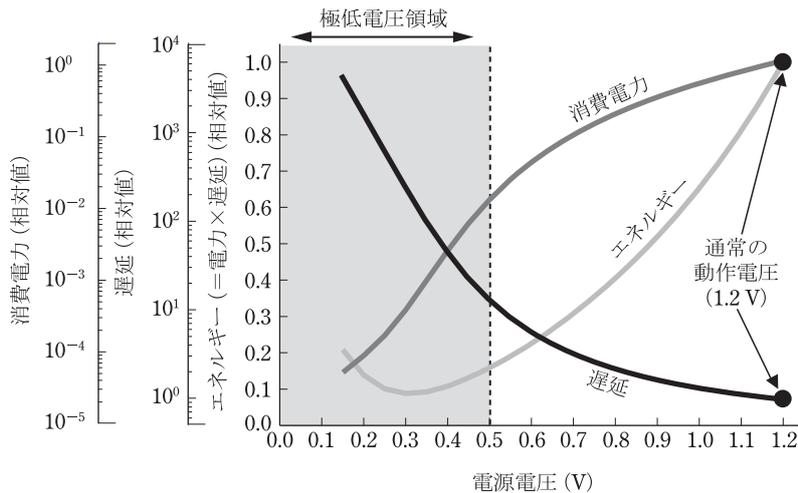


図2 CMOSリングオシレータの消費電力、遅延、エネルギーの電源電圧依存性のシミュレーション結果 縦軸は1.2Vにおけるそれぞれの値で規格化している。例えば、電源電圧を1.2Vから0.35Vに下げると、エネルギーを約1けた低減することができる。

効果を述べ、3.で極低電圧LSIの設計上の課題を述べる。次に4.で極低電圧LSI設計技術の最新動向を述べ、5.でまとめを行う。

2. 極低電圧LSIの意義と波及効果

2001年以降、低電圧化が停滞している理由は、漏れ電流増大を回避するためにトランジスタのしきい値電圧を下げず、しきい値電圧一定で電源電圧を下げると回路遅延が急激に増加するからである。

しかし、最近では以下の二つの理由により、LSIの極低電圧動作が注目されている。

- ① 極低電圧でLSIのエネルギーが減少する。
- ② センサネット・健康等の極低電力・低速のアプリケーションへの期待に伴い極低電圧動作LSIへのニーズが高まる。

①について説明すると、「グリーン of IT」におけるLSIの性能指標として、「性能当りの消費電力」、すなわち、消費電力と遅延を掛け算した「エネルギー」が近年、重要視されている。図2にCMOSリングオシレータ^(用語)の消費電力、遅延、エネルギーの電源電圧依存性のシミュレーション結果を示す。縦軸は1.2Vにおけるそれぞれの値で規格化している。例えば、電源電圧を1.2Vから0.35Vに下げると、消費電力が約3けた減少

用語解説

リングオシレータ 奇数個のNOTゲートをリング状に結合した構成を持つ発振回路。論理回路のゲート遅延を測定する際に、よく用いられる。

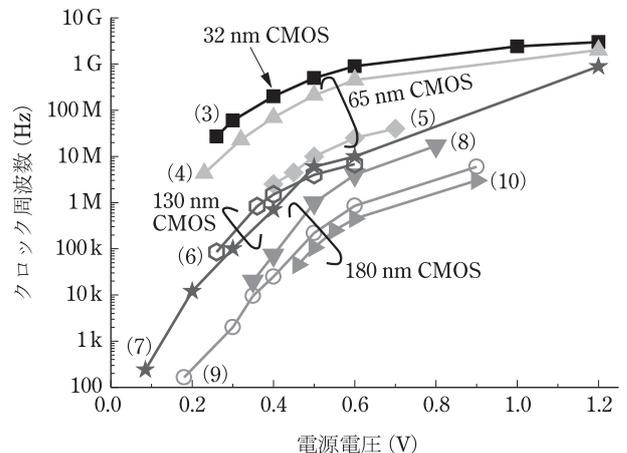


図3 極低電圧論理LSIの論文(3)~(10)におけるクロック周波数の電源電圧依存性 極低電圧動作をさせることにより、エネルギー最小動作やセンサネット・健康等の極低電力・低速のアプリケーション向けに低漏れ電流動作を実現している。

するが、遅延が約2けた増加なので、消費電力と遅延を掛け算したエネルギーは約1けた減少する。電源電圧を下げすぎると漏れ電力によりエネルギーが増加するため、この場合では0.3Vでエネルギーが最小となる。極低電圧化による性能劣化を、コアを多数個並べて並列処理で補った「低電圧メニーコアプロセッサ」が論理LSIの分野では最近特に注目されており、例えばインテルから0.7~1.34V、48コアプロセッサ⁽²⁾が報告されている。

前記の①、②をねらった極低電圧論理LSIの論文^{(3)~(10)}におけるクロック周波数の電源電圧依存性を図3に示す。図3の全体の傾向としては、微細化とともにクロック周波数は高速化している。図2から推測されるとおり、電源電圧を下げるとクロック周波数が急激に低下する。最も極端な例⁽⁷⁾では、電源電圧を1.2Vから85mVに下げると、クロック周波数が890MHzから240Hzに

下がり6けた以上も変化している。この特性を利用して、要求クロック周波数に応じて電源電圧を変化させることにより要求性能に応じた低電力化を実現する非常に広い範囲での動的電源電圧制御 (DVS: Dynamic Voltage Scaling) も可能となる。

このような非常に幅広いクロック周波数と、LSIのアプリケーションを関連付けるために、図4にLSIの3種のアプリケーションで求められる1チップの消費電力とクロック周波数の関係を示す。据え置き機器では高性能が求められるため、従来どおりの $super-V_{TH}$ 動作 (トランジスタのしきい値電圧 (V_{TH}) より高い電源電圧での動作) が求められる。モバイル機器では中程度の性能とミリワットクラスの消費電力が求められるため、 $near-V_{TH}$ 動作 (V_{TH} とほぼ等しい電源電圧での動作)

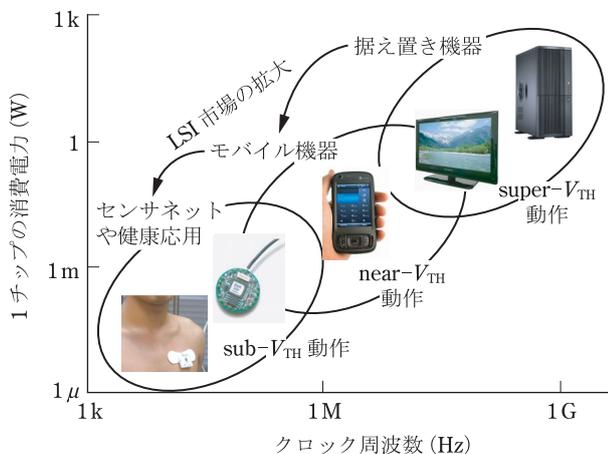


図4 LSIの3種のアプリケーションで求められる1チップの消費電力とクロック周波数の関係 据え置き機器からモバイル機器を經由してセンサネットワークや健康応用へのLSIの市場拡大の流れは低電圧化の流れと一致している。

が求められる。センサネットワークや健康応用ではマイクロワットクラスの極低電力が求められるため、 $sub-V_{TH}$ 動作 (V_{TH} より低い電源電圧での動作) が求められる。LSIはこれまでに、据え置き機器からモバイル機器へと市場を広げてきた。今後、LSIの市場は超多数個の無線センサノードを用いるセンサネットワークや健康応用へ広がろうとしている。このLSIの市場拡大の流れは低電圧化の流れとまさに一致している。

3. 極低電圧 LSI の設計上の課題

極低電圧 LSI を実現する上で最大の課題は回路性能の大きなばらつきである。極低電圧において回路性能が大きばらつく理由を以下で説明する。図5(a)に n 形 MOS トランジスタのドレーン電流のゲート電圧 (V_{GS}) 依存を示す。右軸はリニアスケール、左軸はログスケールでドレーン電流を表している。トランジスタはゲートとドレーンを短絡している。プロセスばらつきと温度変動を考慮するため、 V_{TH} と温度を「高速条件」、「標準条件」、「低速条件」の3通りに変化させた。高速条件はドレーン電流が最大となるばらつき条件であるため、回路が最も高速に動作する条件であることを意味する。 $super-V_{TH}$ 領域の1.2Vではドレーン電流がゲート電圧にリニアに依存するので、標準条件を基準としたドレーン電流ばらつきは約 $\pm 10\%$ である。これに対して、0.3V以下の $sub-V_{TH}$ 領域ではドレーン電流がゲート電圧の指数関数に依存するので、ドレーン電流が約 ± 1 けた以上ばらつく。

ドレーン電流は回路遅延に反比例するため、ドレーン電流ばらつきは回路遅延ばらつきに直結する。図5(b)に3通りのばらつき条件における論理ゲート遅延の電源電圧依存のシミュレーション結果

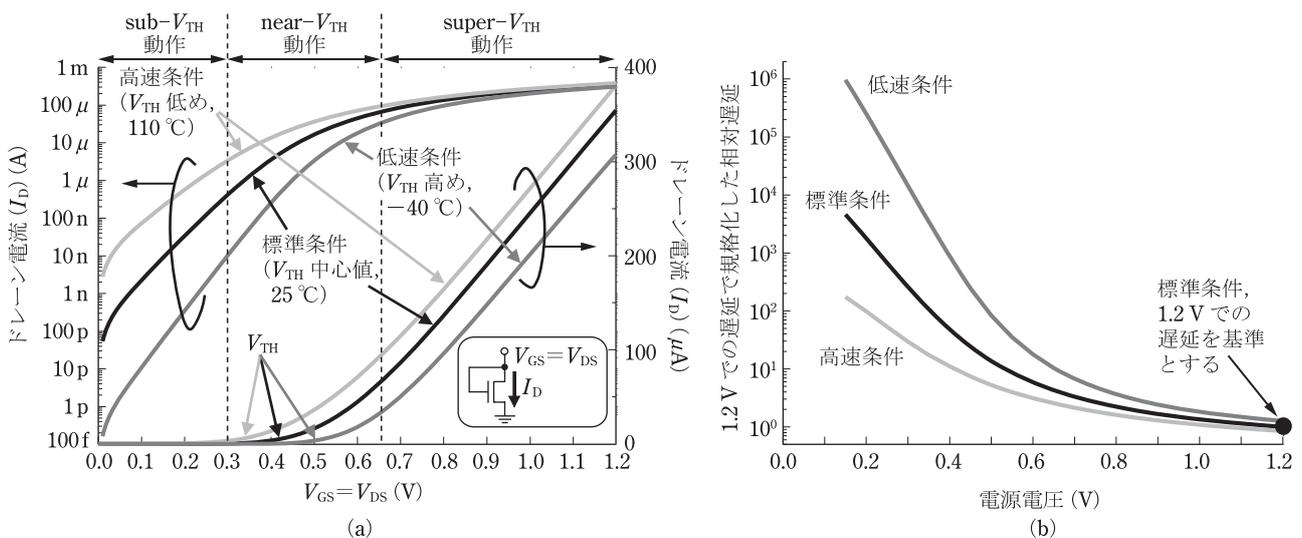


図5 極低電圧 LSI におけるばらつき問題 (a) n 形 MOS トランジスタのドレーン電流のゲート電圧 (V_{GS}) 依存。トランジスタはゲートとドレーンを短絡している。プロセスばらつきと温度変動を考慮するため、トランジスタのしきい値電圧 (V_{TH}) と温度を、 V_{TH} が低めで高温 (110°C) の極低電圧での「高速条件」、 V_{TH} が設計中心で室温 (25°C) の「標準条件」、 V_{TH} が高めで低温 (-40°C) の極低電圧での「低速条件」の3通りに変化させた。(b) 3通りのばらつき条件における論理ゲート遅延の電源電圧依存のシミュレーション結果。

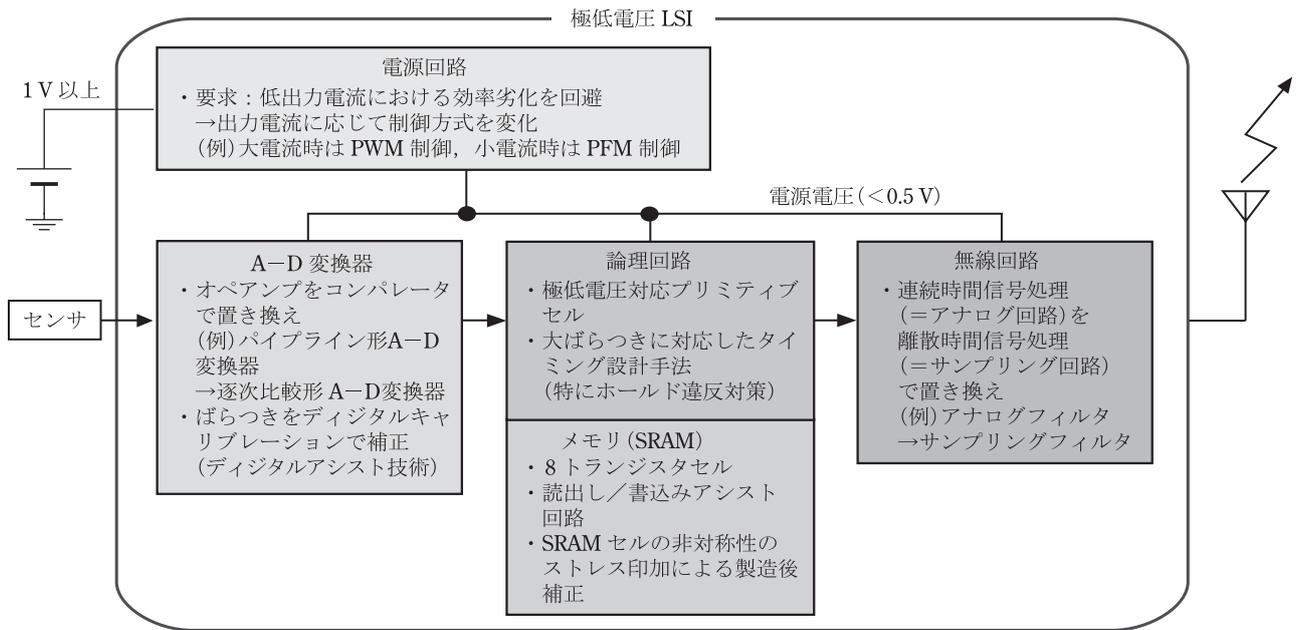


図6 極低電圧 LSI の設計技術の最新動向 無線センサノード向けを想定した極低電圧 LSI の設計技術を回路ブロック別に示す。センサ出力のアナログ信号を A-D 変換器でデジタル化し、論理回路と SRAM でデータ処理を行い、処理結果を無線回路で送信する。LSI 外部から供給された 1V 以上の電圧を電源回路が 0.5V 以下の極低電圧に変換し、各回路に供給する。

電圧依存のシミュレーション結果を示す。電源電圧を 1.2V から 0.2V に下げると、高速条件では遅延が約 2 けた増大するのに対して、低速条件では遅延が 5 けた以上も増大している。図 5(a)と同様に、1.2V では遅延が約 $\pm 20\%$ ばらつくのに対して、0.2V では遅延が ± 1 けた以上ばらつく。通常、論理回路は最悪条件である低速条件で動作するように設計する。しかし、0.2V の低速条件で設計すると、標準条件で動作する LSI は遅延マージンが約 1 けた過剰、高速条件で動作する LSI は遅延マージンが約 3 けた過剰であることを意味し、LSI 本来の性能を全く生かせない状態となり好ましくない。

上記のばらつきは LSI チップ間のばらつきであるが、個々のトランジスタのランダムな V_{th} ばらつきに起因する回路の機能不良も注目すべき課題である。例えば、論理回路では、論理ゲート規模の増大に伴い、論理ゲートが正常に機能できる電源電圧の下限値が増加する⁽¹¹⁾。これは論理回路が大規模化するほど電源電圧を下げられないことを意味しているため、深刻な問題である。したがって、これらの巨大な回路性能ばらつきと回路の機能不良に対処することが、極低電圧 LSI を設計する上で最大の課題となる。

4. 極低電圧 LSI 設計技術の最新動向

極低電圧 LSI の課題に対処するための極低電圧 LSI の設計技術について述べる。図 6 は無線センサノード向けを想定した極低電圧 LSI の設計技術を回路ブロック別に示す。

論理回路では電源電圧の下限値を下げる可以降低。極低電圧動作対応のプリミティブセル設計が必要となる。また、3. で述べた巨大な回路性能ばらつきに対応したタイミング設計手法が必要となる。

メモリ回路としては SRAM を対象を絞って説明する。通常、SRAM セルはトランジスタ 6 個で構成される。しかし、極低電圧におけるデータ読出しと書込みのトレードオフを解決するために、トランジスタの個数を例えば 8 個に増やした 8 トランジスタ SRAM セルがよく使われる。データ読出しと書込みの動作マージンを拡大するために、SRAM のチップ間のばらつきに応じてビット線電位やワード線電位を最適に制御する「読出し／書込みアシスト回路」技術も重要である。トランジスタのランダムばらつきに起因する SRAM セル内の非対称性に起因する極低電圧での機能不良は最も深刻な問題である。この非対称性の削減方法として、「電気ストレス印加による製造後補正」技術が提案され^{(12)・(13)}、注目されている。

A-D 変換器と無線回路の極低電圧向けの設計技術を一言で表すと、「アナログ回路のデジタル化」である。A-D 変換器では、代表的なアナログ回路であるオペアンプをコンパレータ（電圧比較回路）で置き換えることが極低電圧動作に有効である。例えば、パイプライン形 A-D 変換器を逐次比較形 A-D 変換器に置き換えることが考えられる。アナログ回路のばらつきをデジタルキャリブレーションで補正する「デジタルアシスト技術」も A-D 変換器の設計で注目を集めており、極低電圧動作では特に重要な技術である。

無線回路では、アナログ回路を用いた連続時間型の信号処理を、サンプリング回路を用いた離散時間型の信号処理で置き換えることが極低電圧動作に有効である。例えば、アナログフィルタをサンプリングフィルタに置き換えることが考えられる。

電源回路では、一般に出力電流が減少すると電力変換効率が劣化する。しかし、2. で述べた動的電源電圧制御を行うと、図2に示すように出力電流が3けた以上変化する。これは、従来の電源回路で扱う出力電流範囲と比較すると非常に幅広い。そこで、幅広い出力電流範囲において高効率を維持するためには、出力電流に応じて制御方法を変化させる方法が有効である。例えば、出力電流が大きい場合はPWM (Pulse Width Modulation, パルス幅変調) 制御を、出力電流が小さい場合はPFM (Pulse Frequency Modulation, パルス周波数変調) 制御を用いることが考えられる。

5. ま と め

LSIの極低電圧化はLSIの低エネルギー化とLSIの適用アプリケーションの拡大に寄与する重要技術である。LSIの極低電圧動作は従来とはけた違いのばらつきを伴うが、「ばらついても動作する回路を設計すること」は、昔からLSI回路設計者に要求されている「回路設計の王道」である。したがって、極低電圧LSI設計では回路設計の王道をより突き詰める必要がある。これまでに、モバイル機器向けの低電力回路設計の分野では、数多くの重要技術が日本から提案されてきた。今後、極低電圧LSI設計でも重要技術が日本から創出されることを期待したい。

謝辞 この成果の一部は、独立行政法人新エネルギー・産業技術総合開発機構 (NEDO) の業務委託である極低電力回路・システム技術開発プロジェクトから得られた。

文 献

- (1) International Technology Roadmap for Semiconductors, <http://www.itrs.net/>
- (2) J. Howard, S. Dighe, Y. Hoskote, S. Vangal, D. Finan, G. Ruhl, D. Jenkins, H. Wilson, N. Borkar, G. Schrom, F. Paillet, S. Jain, T. Jacob, S. Yada, S. Marella, P. Salihundam, V. Erraguntla, M. Konow, M. Riepen, G. Droege, J. Lindemann, M. Gries, T. Apel, K. Henriss, T.L.-Larsen, S. Steibl, S. Borkar, V. De, R. V. D. Wijngaart, and T. Mattson, "A 48-core IA-32 message-passing processor with DVFS in 45 nm CMOS," IEEE International Solid-State Circuits Conference, pp. 108-109, Feb. 2010.
- (3) A. Agarwal, S.K. Mathew, S. Hsu, M. Anders, H. Kaul, F. Sheikh, R. Ramanarayanan, S. Srinivasan, R. Krishnamurthy, and S. Borkar, "A 320 mV-to-1.2 V on-die fine-grained reconfigurable fabric for DSP/media accelerators in 32 nm CMOS," IEEE International Solid-State Circuits Conference, pp. 328-329, Feb. 2010.
- (4) H. Kaul, M. Anders, S. Mathew, S. Hsu, A. Agarwal, R. Krishnamurthy, and S. Borkar, "A 320 mV 56 μ W 411 GOPS/Watt

ultra-low voltage motion estimation accelerator in 65 nm CMOS," IEEE International Solid-State Circuits Conference, pp. 316-317, Feb. 2008.

- (5) Y. Pu, J. P. de Gyvez, H. Corporaal, and Y. Ha, "An ultra-low-energy/frame multi-standard JPEG co-processor in 65 nm CMOS with sub/near-threshold power supply," IEEE International Solid-State Circuits Conference, pp. 146-147, Feb. 2009.
- (6) B. Zhai, L. Nazhandali, J. Olson, A. Reeves, M. Minuth, R. Helfand, S. Pant, D. Blaauw, and T. Austin, "A 2.60 pJ/Inst subthreshold sensor processor for optimal energy efficiency," IEEE Symposium on VLSI Circuits, pp. 154-155, June 2006.
- (7) M. Hwang, A. Raychowdhury, K. Kim, and K. Roy, "A 85 mV 40 nW process-tolerant subthreshold 8x8 FIR filter in 130 nm technology," IEEE Symposium on VLSI Circuits, pp. 154-155, June 2007.
- (8) G. Chen, M. Fojtik, D. Kim, D. Fick, J. Park, M. Seok, M. Chen, Z. Foo, D. Sylvester, and D. Blaauw, "Millimeter-scale nearly perpetual sensor system with stacked battery and solar cells," IEEE International Solid-State Circuits Conference, pp. 288-289, Feb. 2010.
- (9) A. Wang and A. Chandrakasan, "A 180 mV FFT processor using subthreshold circuit techniques," IEEE International Solid-State Circuits Conference, pp. 292-293, Feb. 2004.
- (10) M. Seok, S. Hanson, Y. Lin, Z. Foo, D. Kim, Y. Lee, N. Liu, D. Sylvester, and D. Blaauw, "The Phoenix processor: a 30 pW platform for sensor applications," IEEE Symposium on VLSI Circuits, pp. 188-189, June 2008.
- (11) T. Yasufuku, T. Niyama, Z. Piao, K. Ishida, M. Murakata, M. Takamiya, and T. Sakurai, "Difficulty of power supply voltage scaling in large scale subthreshold logic circuits," IEICE Trans. Electron., vol. E93-C, no. 3, pp. 332-339, March 2010.
- (12) M. Suzuki, T. Saraya, K. Shimizu, T. Sakurai, and T. Hiramoto, "Post-fabrication self-convergence scheme for suppressing variability in SRAM cells and logic transistors," IEEE Symposium on VLSI Technology, pp. 148-149, June 2009.
- (13) K. Miyaji, S. Tanakamaru, K. Honda, S. Miyano, and K. Takeuchi, "70% read margin enhancement by Vth mismatch self-repair in 6T-SRAM with asymmetric pass gate transistor by zero additional cost, post-process, local electron injection," IEEE Symposium on VLSI Circuits, pp. 41-42, June 2010.

(平成22年6月9日受付 平成22年6月25日最終受付)



たかみや まこと
高宮 真 (正員)

平7東大・工・電子卒。平12同大学院博士課程了。同年NEC入社。平17東大規模集積システム設計教育研究センター (VDEC) 准教授。極低電圧の論理回路/無線通信回路/電源回路の設計、有機トランジスタを用いた大面積エレクトロニクス等の研究に従事。博士 (工学)。



しのはら ひろふみ
篠原 尋史 (正員)

昭51京大・工・電子卒。昭53同大学院修士課程了。平20同大学院博士課程了。昭53三菱電機株式会社入社。以来、SRAM、論理基本回路の研究に従事。平15(株)ルネサステクノロジ。平21(株)半導体理工学研究センター出向。現在、同社極低電力研究開発部長。博士 (情報学)。共著書「メモリデバイス・イメージセンサ」(SRAM)。



さくらい たかやす
桜井 貴康 (正員:フェロー)

昭56東大大学院工学系研究科博士課程了。工博。同年東芝入社。平8東大生産技術研究所教授。高速・低消費電力LSI設計や大面積エレクトロニクス等の研究に従事。平21年度本会エレクトロニクスソサイエティ賞、平20年度本会業績賞各受賞。IEEEフェロー。