

低電圧動作限界に挑戦する 極低消費電力 LSI 回路技術の最新動向

Extremely Low Power VLSI Circuits with Low Voltage Operation

高宮 真 篠原尋史 桜井貴康



LSI を 0.5 V 以下の低電圧で動作させることにより、エネルギー効率を約 1 桁向上させることができる。しかし、LSI の低電圧化は容易ではない。LSI の低電圧化を可能にする技術として、①細粒度の製造後特性ばらつき補正技術として、「トランジスタへのストレス印加」と「機能ブロック内の細粒度電源電圧制御」、②局所ゲート昇圧によるトランジスタの抵抗損低減技術、③アナログ回路のデジタル化の三つの技術を紹介する。
キーワード：LSI, 低電圧, 低エネルギー, 低消費電力, ばらつき

1. はじめに

我々の日常生活において、IT 機器への依存度が高まっているため情報処理と通信の量は年々、指数関数的に増加している。したがって、これらを支えるデータセンターやネットワークの消費電力は急激に増加している。そこで、IT 機器を支える LSI の低消費電力化は重要な課題である。

図 1 に CMOS 回路の消費電力、遅延、エネルギーの電源電圧依存のシミュレーション結果を示す。縦軸は 1.2 V におけるそれぞれの値で規格化している。例えば、電源電圧を 1.2 V から約 0.3 V に下げると、消費電力が約 3 桁減少するが、遅延が約 2 桁増加するので、消費電力と遅延をかけたエネルギーは約 1/10 倍になる。つまり、低電圧化することにより、エネルギー効率を 1 桁向上させることができる。近年、このエネルギー効率向上を目的とした低電圧 LSI の研究・開発が活発に行われている。例えば、インテルは 0.28 V から 1.2 V

の電源電圧範囲で動作する 32 nm CMOS プロセスの IA-32 プロセッサを報告した⁽¹⁾。また、低電圧動作限界に挑戦した研究例として、62 mV で動作する論理回路が報告されている⁽²⁾。

しかし、LSI の低電圧化は容易ではない。LSI を 0.5 V 以下の極低電圧で動作させた場合に生じる問題として以下の 3 点がある。

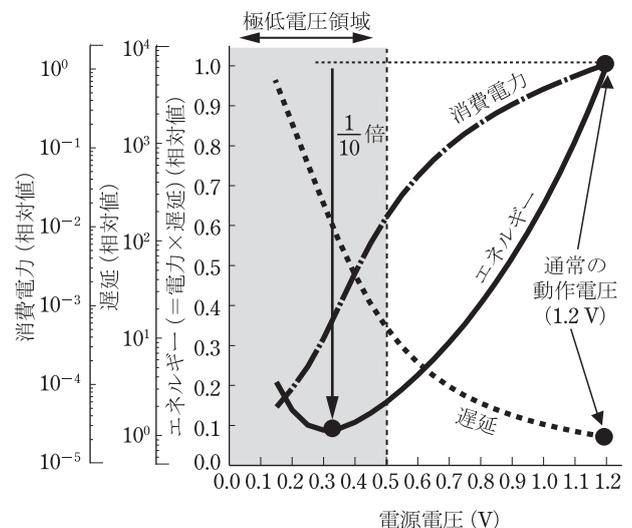


図 1 CMOS 回路の消費電力、遅延、エネルギーの電源電圧依存低電圧化するとエネルギーは約 1/10 倍になる。

高宮 真 正員 東京大学大規模集積システム設計教育研究センター
篠原尋史 正員 (株)半導体理工学研究センター研究開発第 1 部
桜井貴康 正員：フェロー 東京大学生産技術研究所
Makoto TAKAMIYA, Member (VLSI Design and Education Center, The University of Tokyo, Tokyo, 153-8505 Japan), Hirofumi SHINOHARA, Member (R & D Department-1, Semiconductor Technology Academic Research Center, Tokyo, 153-8505 Japan), and Takayasu SAKURAI, Fellow (Institute of Industrial Science, The University of Tokyo, Tokyo, 153-8505 Japan).
電子情報通信学会誌 Vol.95 No.11 pp.974-978 2012 年 11 月
©電子情報通信学会 2012

- ① チップ間・チップ内のトランジスタの特性ばらつきにより回路遅延が大きくばらついたり、回路が機能不良を起こす。例えば、低電圧化に強いと考えられている論理回路ですら機能不良を起こす⁽³⁾。
- ② トランジスタのオン抵抗が高いため、抵抗損が大きい。
- ③ アンプに代表されるアナログ回路の動作が困難となる。

そこで、本稿では、2., 3., 4. で上記の三つの問題それぞれを解決する回路技術を紹介し、5. でまとめを行う。

2. 製造後の特性ばらつき補正技術

従来、チップ間の特性ばらつきを製造後に補正する方法として、回路特性をモニタしながら電源電圧⁽⁴⁾や基板バイアスをフィードバック制御する技術が知られている。これらの電圧制御技術は電圧生成回路のオーバーヘッドがあるため、チップ単位や機能ブロック単位で行うことが一般的であり、チップ内の細粒度の特性ばらつきの補正には向かない。そこで、細粒度の製造後特性ばらつき補正技術として、「トランジスタへのストレス印加」と「機能ブロック内の細粒度電源電圧制御」を紹介する。

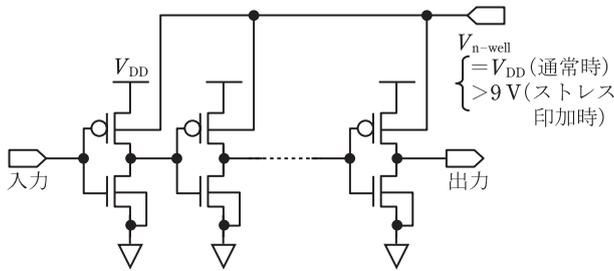


図2 遅延トリミングに対応した遅延線の回路図

2.1 トランジスタへのストレス印加

トランジスタの特性ばらつきの主因は、しきい値電圧ばらつきである。トランジスタのしきい値電圧がばらついた場合、トランジスタのしきい値電圧を製造後に補正する方法としてトランジスタに通常電圧よりも高い電圧をかけることによりストレスを印加することが考えられる⁽⁵⁾。ストレスの印加方法には様々な種類があるが、多くの場合、ストレスを加えるとトランジスタのしきい値電圧の絶対値が上昇し、回路遅延が増加する。基板からの電荷注入によって、電源回路のコントローラ中の遅延線の製造後遅延補正（遅延トリミング）を行った例を紹介する⁽⁶⁾。

図2に遅延トリミングに対応した遅延線の回路図を示す。ストレス印加時には、nウェル電圧（ V_{n-well} ）に9V以上を、電源電圧（ V_{DD} ）に標準電圧である1.1Vを加え、入力にクロック信号を入力する。 V_{n-well} が一定の場合、ストレス時間とともに遅延線の遅延は飽和してしまう。そこで、遅延トリミングの制御の線形性を高めるために、 V_{n-well} を時間とともに対数的に増加させるストレス印加方法を新たに開発した。

図3に8チップに対する遅延線の遅延の総ストレス時間依存と、遅延のストレス後の時間依存（リテンション特性）の実測結果を示す。40nm CMOSで設計・試作した。提案の対数的ストレス印加により、ストレス時間に比例して遅延線の遅延が増加しており、トリミングの制御の線形性に優れることが分かる。遅延トリミングによって、初期遅延の約5倍に遅延を増加させた後、72時間放置したがリテンション特性の劣化は観測されなかった。

この例以外にも、トランジスタへのストレス印加を用いた、①チップ内遅延ばらつきの補正によるクロックスキューの低減⁽⁷⁾、②差動回路のミスマッチ補正⁽⁸⁾、③ランダムなしきい値電圧ばらつきの補正により論理回路の最低可動電圧（ V_{DDmin} ）の低減⁽⁹⁾が報告されており、細粒度の製造後特性ばらつき補正技術として有効である。

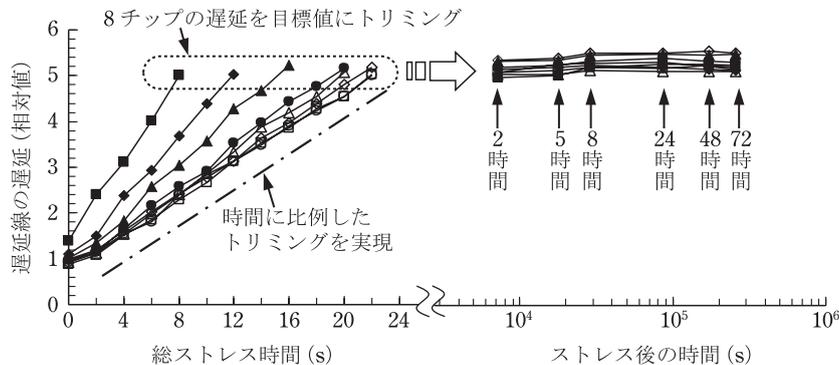


図3 8チップに対する遅延線の遅延の総ストレス時間依存と、遅延のストレス後の時間依存（リテンション特性）の実測結果

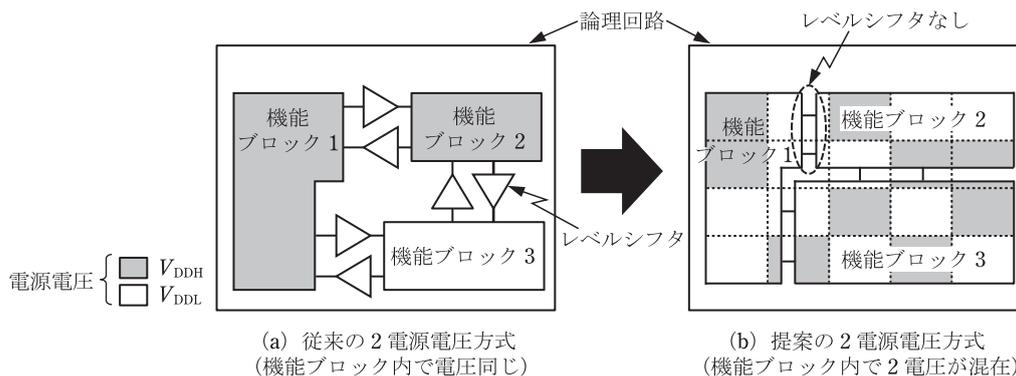


図4 従来と提案の2電源電圧方式 提案の機能ブロック内の細粒度電源電圧制御では、機能ブロックにかかわらず論理回路全体のレイアウトを規則的にタイル状の領域に分割し、領域ごとに V_{DDH} または V_{DDL} を与える。

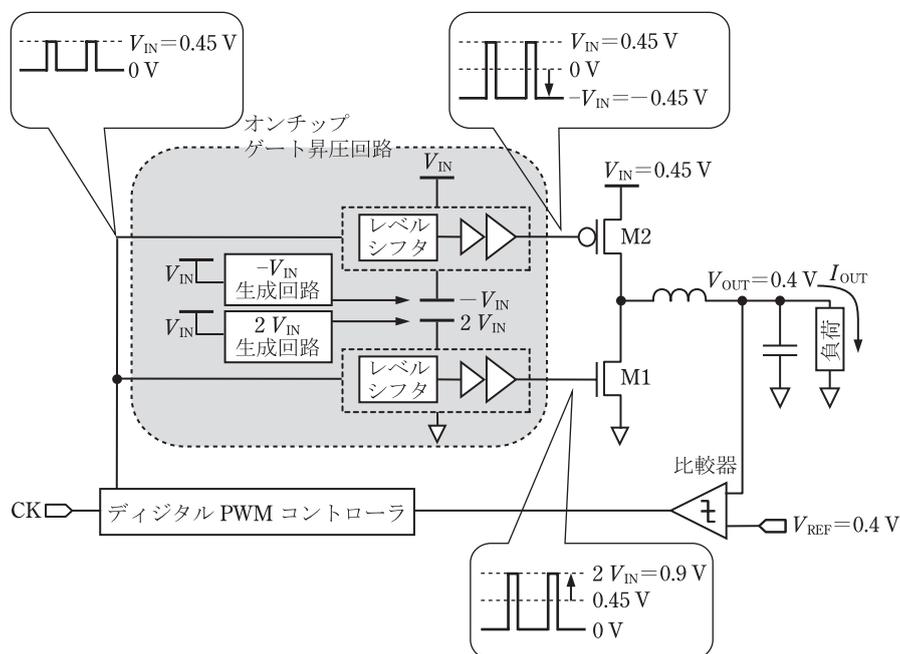


図5 局所ゲート昇圧技術を適用した0.45V入力、0.4V出力の降圧回路（バックコンバータ）のブロック図

2.2 機能ブロック内の細粒度電源電圧制御

論理回路において、製造後の特性ばらつき補正に設計段階で対処する方法として「機能ブロック内の細粒度電源電圧制御」を紹介する。

図4に従来と提案の2電源電圧方式を対比して示す。従来の2電源電圧方式では、高速動作が要求される機能ブロックに対しては高めの電源電圧 (V_{DDH})、高速動作が要求されない機能ブロックに対しては低めの電源電圧 (V_{DDL}) を与えて、高速性と漏れ電力低減を両立させていた。これに対し、提案の機能ブロック内の細粒度電源電圧制御では、機能ブロックにかかわらず論理回路全体のレイアウトを規則的にタイル状の領域に分割し、領域ごとに V_{DDH} または V_{DDL} を与える。提案方式は、遅延ばらつき補正⁽¹⁰⁾にも論理回路の V_{DDmin} 対策⁽¹¹⁾にも有

効である。本技術を64領域に分割した論理回路に適用した例では、消費電力を最大24%低減した⁽¹¹⁾。

3. 局所ゲート昇圧技術

1. で述べた「低電圧ではトランジスタのオン抵抗が高いため、抵抗損が大きい」問題に対処する方法として、本章では局所ゲート昇圧技術について述べる。この抵抗損は電力変換効率が重視される電源回路において、特に深刻な問題となる。つまり、低電圧（例えば0.5V）入力の電源回路のスイッチトランジスタでは、スイッチでの抵抗損によって、電力変換効率が大幅に劣化してしまう。そこで、効率を改善するために、電力変換効率に係る少数のトランジスタのみのゲート電圧をオンチ

プで昇圧する局所ゲート昇圧技術が有効である。

図5に局所ゲート昇圧技術を適用した0.45V入力、0.4V出力の降圧回路(バックコンバータ)のブロック図を示す。バックコンバータにおいて、効率を決める重要なトランジスタは M_1 と M_2 である。従来では、 M_1 と M_2 のゲート電圧は0Vか0.45Vであるので、トランジスタのオン抵抗が高い問題があった。そこで、オンチップ昇圧回路で入力電圧(V_{IN})の2倍の電圧($2V_{IN}$)と負電圧($-V_{IN}$)を生成し、 M_1 がオン時には0.9Vを、 M_2 がオン時には $-0.45V$ を印加することにより、トランジスタのオン抵抗を大幅に低減することができた。

図6に局所ゲート昇圧有無のバックコンバータの電力変換効率の出力電力依存の実測結果を示す。40nm CMOSで設計・試作した。局所ゲート昇圧により、出

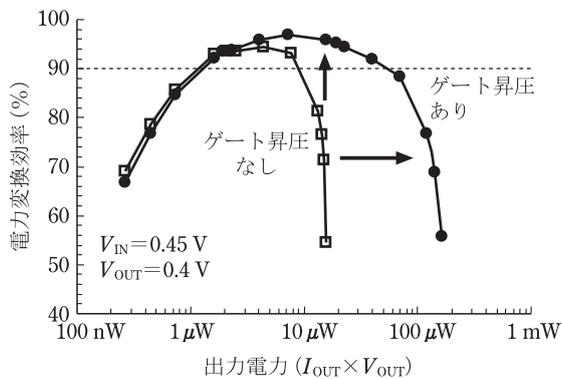


図6 局所ゲート昇圧有無のバックコンバータの電力変換効率の出力電力依存の実測結果

力電力を約 $10\mu W$ から約 $100\mu W$ へ1桁増加させ、出力 $15\mu W$ における効率を55%から96%へ改善することに成功した。

4. アナログ回路のデジタル化

1. で述べた「低電圧ではアナログ回路の動作が困難となる」問題に対処する方法として、本章ではアナログ回路のデジタル化について電源回路を題材として述べる。

図7に従来のアナログ型 Low Drop Out (LDO) レギュレータと提案するデジタル LDO の回路図を対比して示す。従来のアナログ型 LDO では、pMOS のゲート電圧をアンプでアナログ電圧制御する。一方、提案のデジタル LDO では、 n 個の pMOS を並列接続し、比較器のデジタル出力に応じて pMOS のゲート電圧をデジタル信号でオンオフ制御する点が異なる。入力電圧(V_{IN})が0.5Vにおいては、アンプが電源電圧0.5Vで動作困難であるため、従来のアナログ型 LDO は実現困難である。一方、提案のデジタル LDO では、アナログ回路をデジタル回路(コントローラ、比較器)で置き換えたため、0.5Vでも動作可能である。

図8にデジタル LDO の出力電圧(V_{OUT})の入力電圧(V_{IN})依存の実測結果を示す。参照電圧(V_{REF})を変化させた。65nm CMOSで設計・試作した。アナログ回路をデジタル化することにより、入力0.5Vでも動作させることに成功した。

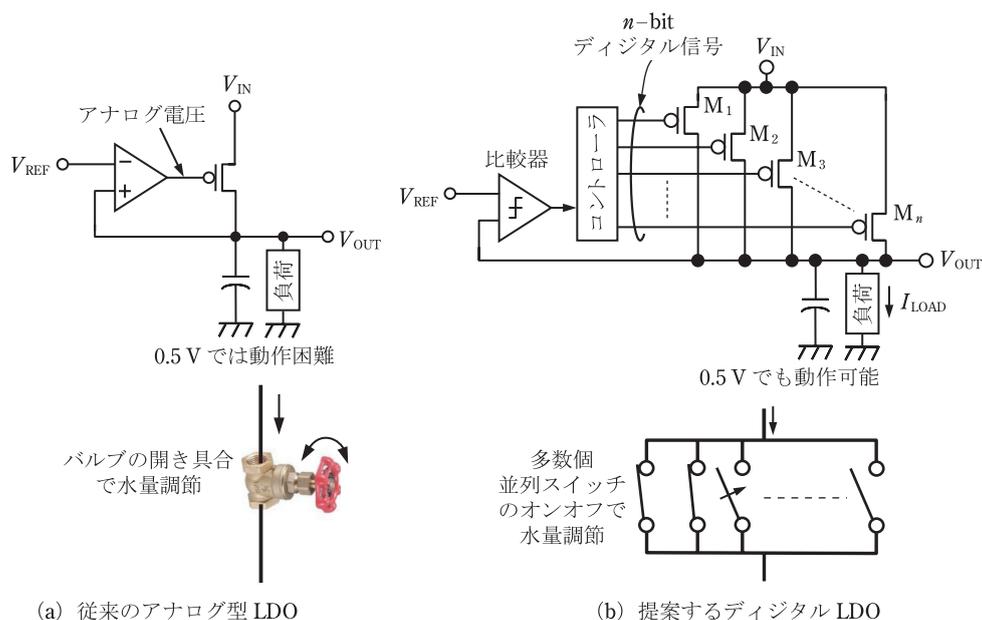


図7 従来のアナログ型 Low Drop Out (LDO) レギュレータと提案するデジタル LDO の回路図

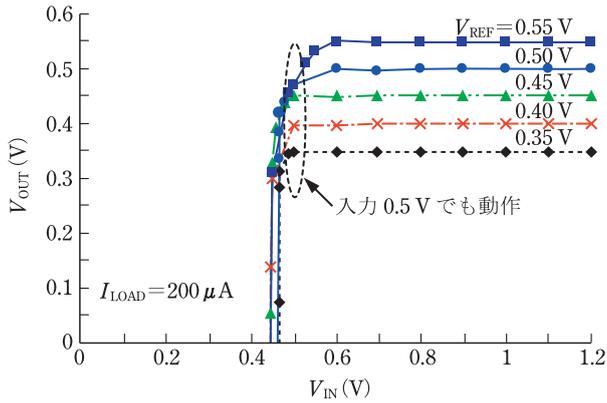


図8 デジタル LDO の出力電圧 (V_{OUT}) の入力電圧 (V_{IN}) 依存の実測結果

5. ま と め

最近の LSI の技術トレンドとして、IT 機器向けの低電力化だけでなく、人体埋込や環境モニタ用の超小形かつ極低消費電力の無線センサノード応用向けに、mW から μ W へ、更には nW や pW といった未知の領域への消費電力スケールアップが着実に進展している。これまで LSI の指導原理であった「微細化」「高速化」に加えて、今後は「低電圧化・極低電力化」が LSI の将来の未開のアプリケーション開拓に向けた重要なキー技術になると考えられる。

謝辞 この成果の一部は、経済産業省 (METI) の極低電力回路・システム技術開発 (グリーン IT プロジェクト) として、独立行政法人新エネルギー・産業技術総合開発機構 (NEDO) からの業務委託により得られたものです。

文 献

- (1) S. Jain, S. Khare, S. Yada, A.V.P. Salihundam, S. Ramani, S. Muthukumar, S.M.A. Kumar, S. Kumar, R. Ramanarayanan, V. Erraguntla, J. Howard, S. Vangal, S. Dighe, G. Ruhl, P. Aseron, H. Wilson, N. Borkar, V. De, and S. Borkar, "A 280 mV-to-1.2 V wide-operating-range IA-32 processor in 32 nm CMOS," IEEE International Solid-State Circuits Conference, pp. 66-67, Feb. 2012.
- (2) N. Lotze and Y. Manoli, "A 62 mV 0.13 μ m CMOS standard-cell-based design technique using schmitt-trigger logic," IEEE International Solid-State Circuits Conference, pp. 340-342, Feb. 2011.
- (3) H. Fuketa, S. Iida, T. Yasufuku, M. Takamiya, M. Nomura, H. Shinohara, and T. Sakurai, "A closed-form expression for estimating minimum operating voltage (V_{Dmin}) of CMOS logic gates," ACM Design Automation Conference, pp. 984-989, June 2011.
- (4) K. Hirairi, Y. Okuma, H. Fuketa, T. Yasufuku, M. Takamiya, M. Nomura, H. Shinohara, and T. Sakurai, "13% power reduction in 16b integer unit in 40 nm CMOS by adaptive power supply voltage control with parity-based error prediction and detection (PEPD) and fully integrated digital LDO," IEEE International Solid-State Circuits Conference, pp. 486-487, Feb. 2012.
- (5) M. Suzuki, T. Saraya, K. Shimizu, T. Sakurai, and T. Hiramoto, "Post-

fabrication self-convergence scheme for suppressing variability in SRAM cells and logic transistors," IEEE Symposium on VLSI Technology, pp. 148-149, June 2009.

- (6) X. Zhang, P.-H. Chen, Y. Ryu, K. Ishida, Y. Okuma, K. Watanabe, T. Sakurai, and M. Takamiya, "A 0.45-V input on-chip gate boosted (OGB) buck converter in 40-nm CMOS with more than 90% efficiency in load range from 2 μ W to 50 μ W," IEEE Symposium on VLSI Circuits, pp. 194-195, June 2012.
- (7) Y. Pu, X. Zhang, K. Ikeuchi, A. Muramatsu, A. Kawasumi, M. Takamiya, M. Nomura, H. Shinohara, and T. Sakurai, "Post-silicon clock deskew employing hot-carrier injection trimming with on-chip skew monitoring and auto-stressing scheme for sub/near threshold digital circuits," IEEE Trans. Circuits Syst.-II, Analog Digit. Signal Process., vol. 58, no. 5, pp. 294-298, May 2011.
- (8) X. Zhang, Y. Pu, K. Ishida, Y. Ryu, Y. Okuma, P.-H. Chen, K. Watanabe, T. Sakurai, and M. Takamiya, "A voltage-reference-free pulse density modulation (VRF-PDM) 1-V input switched-capacitor 1/2 voltage converter with output voltage trimming by hot carrier injection and periodic activation scheme," IEEE Symposium on VLSI Circuits, pp. 280-281, June 2011.
- (9) K. Honda, K. Ikeuchi, M. Nomura, M. Takamiya, and T. Sakurai, "Reduction of minimum operating voltage (V_{Dmin}) of CMOS logic circuits with post-fabrication automatically selective charge injection," International Symposium on Low Power Electronics and Design, pp. 175-180, Aug. 2011.
- (10) A. Muramatsu, T. Yasufuku, M. Nomura, M. Takamiya, H. Shinohara, and T. Sakurai, "12% power reduction by within-functional-block fine-grained adaptive dual supply voltage control in logic circuits with 42 voltage domains," 37th European Solid-State Circuits Conference, pp. 191-194, Sept. 2011.
- (11) T. Yasufuku, K. Hirairi, Y. Pu, Y.-F. Zheng, R. Takahashi, M. Sasaki, H. Fuketa, A. Muramatsu, M. Nomura, F. Shinohara, M. Takamiya, and T. Sakurai, "24% power reduction by post-fabrication dual supply voltage control of 64 voltage domains in V_{Dmin} limited ultra low voltage logic circuits," IEEE International Symposium on Quality Electronic Design, pp. 586-591, March 2012.

(平成 24 年 6 月 11 日受付 平成 24 年 6 月 25 日最終受付)



高宮 真 (正員)

平 7 東大・工・電子卒。平 12 同大学院博士課程了。同年 NEC 入社。平 17 東大規模集積システム設計教育研究センター (VDEC) 准教授。極低電圧のロジック回路/無線通信回路/電源回路の設計、有機トランジスタを用いた大面積エレクトロニクス等の研究に従事。博士 (工学)。



篠原 尋史 (正員)

昭 51 京大・工・電子卒。昭 53 同大学院修士課程了。平 20 同大学院博士課程了。昭 53 三菱電機株式会社入社。以来、SRAM、ロジック基本回路の研究に従事。平 15 (株)ルネサステクノロジ。平 21 (株)半導体理工学研究センター出向。現在、同社研究開発第 1 部長。博士 (情報学)。共著「メモリデバイス・イメージセンサ」(SRAM)。



桜井 貴康 (正員:フェロー)

昭 56 東大大学院工学系研究科博士課程了。工博。同年東芝入社。平 8 東大生産技術研究所教授。高速・低消費電力 LSI 設計や大面積エレクトロニクス等の研究に従事。平 21 年度本会エレクトロニクスソサイエティ賞、平成 20 年度本会業績賞各受賞。IEEE フェロー。