

THE IEICE TRANSACTIONS ON ELECTRONICS (JAPANESE EDITION)

IEICE 電子情報通信学会
論文誌 エレクトロニクス

VOL. J100-C NO. 10

OCTOBER 2017

本PDFの扱いは、電子情報通信学会著作権規定に従うこと。

なお、本PDFは研究教育目的（非営利）に限り、著者が第三者に直接配布することができる。著者以外からの配布は禁じられている。

エレクトロニクスソサイエティ

一般社団法人 **電子情報通信学会**

THE ELECTRONICS SOCIETY

THE INSTITUTE OF ELECTRONICS, INFORMATION AND COMMUNICATION ENGINEERS

多段チャージトランスファを用いた電源電圧・温度ばらつきに
ロバストな微小容量変化検出回路パック ジフン^{†a)} 高宮 真[†] 桜井 貴康[†]Small Capacitance Difference Detection Circuits Robust to Voltage and
Temperature Variations Using Multi-stage Charge TransferJeehoon PARK^{†a)}, Makoto TAKAMIYA[†], and Takayasu SAKURAI[†]

あらまし IoT 端末において端子に直接プローブを当てられデータを盗聴・改ざんされる問題を回避するためには端子の静電容量を監視し、プローブで接触したときの微小な静電容量の変化を検出することが有効である。本研究では電源電圧と温度ばらつきにロバストな多段チャージトランスファ回路を用い、従来の1段のみのチャージトランスファの分解能の限界である4.6 pFを克服し11.7 fFという高分解能で静電容量変化の検出が可能であることを実証した。

キーワード 容量デジタルコンバータ, チャージトランスファ, 多段チャージトランスファ

1. ま え が き

近年の半導体技術の飛躍的な発展を原動力としたトリリオンセンサは現実になりつつあり、膨大に増えたセンサ端末はモノのインターネット (Internet of Things 以下 IoT) の普及に繋がった。IoT 端末は様々な場所に設置され、あらゆる種類のデータを収集・処理し安全で快適な社会の実現に貢献すると期待を集めている。

そのIoT 端末を運用する際、注意しなければならない要素がセキュリティである。IoT 端末で処理される情報は個人情報など第三者に知られてはならない情報を含むこともあり、場合によっては消費電力などから端末内の暗号を解析される恐れすらあるためそれらの情報を保護する機能は不可欠である [1]。ところがIoT 端末は人目に触れない場所、あるいは頻繁に確認することのない場所に設置されることが多く、その上、運用する場合には多くの数を同時に用いることになる。そのためユーザが全てのIoT 端末を常に監視することは現実的に不可能で、悪意をもった第三者が端末に接

近し図1のように端子にプローブを当て端末内のデータを盗聴、改ざんする攻撃を行うことが容易と考えられる。このことからIoT 端末は自身に対する攻撃を感知し対策する機能をもたなければならない。

IoT 端末の端子に対する物理的プロービング攻撃への対策として、端子の静電容量を監視しプローブが当てられたとき生じる図2のような微小な容量変化を検出することが有効である。そこで本研究ではIoT 端末の端子容量を監視しその微小変化を検出する回路を提案する。具体的にはIoT 端末の端子容量を10 pF、攻撃者のプローブの容量を100 fFと想定し、端子の容量が100 fF/10 pF=1%以上変化したときそれを検出することを目標仕様とした。

提案する容量変化検出回路の概要を図3に示す。

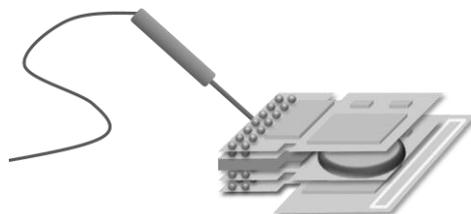


図1 IoT 端末に対するプロービング攻撃
Fig. 1 Physical attack on IoT nodes.

[†] 東京大学, 東京都

The University of Tokyo, 4-6-1 Komaba, Meguro-ku, Tokyo,
153-8505 Japan

a) E-mail: parkj@iis.u-tokyo.ac.jp

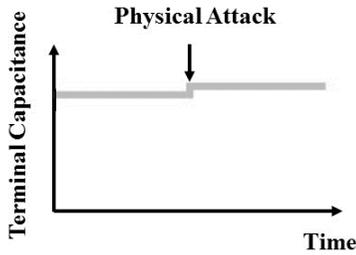


図 2 容量検出による攻撃の感知

Fig. 2 Attack detection by capacitance change detection.

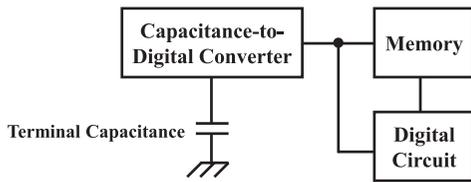


図 3 容量変化検出回路の概要

Fig. 3 Concept of capacitance difference detection circuit.

IoT 端末の電源投入時に容量デジタルコンバータ (以下 CDC) が監視すべき端子の容量をデジタルデータに変換しメモリに保存する。そして端末がスタンバイ状態からアクティブ状態になるごとに CDC が端子の容量を測定し、メモリに保存されている初期容量値と比較し、それらの差分から容量が変化したか否かを判断する。

この容量変化検出回路の要となる部分は CDC であり、CDC が満たすべき条件と従来の CDC のもつ課題について 2. で述べる。3. では従来の CDC の課題であるばらつき問題を克服した電源電圧と温度ばらつきにロバストな回路を提案する。そして 4. では 3. の回路の分解能のもつ限界とその原因に触れた後、任意の分解能を実現できる提案手法である多段チャージトランスファについて述べ、5. では試作回路の測定結果を述べる。6. は結論とまとめとする。

2. CDC への要求仕様と従来研究の課題

本章では提案する微小容量変化検出回路に用いられる CDC への要求仕様を挙げ、従来の CDC がもつ課題を明らかにする。

2.1 CDC への要求仕様

本研究で提案する微小容量変化検出回路は IoT 端末上に集積される物であり、それに組み込まれる CDC は幾つかの条件を満たさなければならない。それは

低消費エネルギー、高分解能、そしてばらつき耐性である。

IoT 端末は小型の電池やエネルギーハーベスティングで動作することが多いため、容量検出に消費される電力、エネルギーは低くなければならない。それぞれ数 μW 、数 nJ 以下であることが好ましい。

次に分解能条件が存在する。本研究の目標仕様は 100 fF 以上の変化を検出することだが、分解能が 100 fF である場合 50 fF の量子化誤差が生じるため攻撃によるものではない容量変化を攻撃として誤判断しかねない。回路の誤動作を避けるために、目標分解能を 12 fF 以下に設定した。

最後に電源電圧と温度ばらつきに対する耐性が挙げられる。IoT 端末が設置される環境は温度管理されておらず回路の動作温度も一定とは限らない上、集積回路においては常に $\pm 10\%$ の電源の変動の恐れがあるため本研究に用いられる CDC は電源電圧と温度のばらつきに依存しないばらつき耐性をもたなければならない。具体的には、本研究が想定する電源電圧の変化範囲 $\pm 10\%$ 及び温度の変化範囲 $0^\circ\text{C} \sim 80^\circ\text{C}$ において、電圧特性及び温度特性が 100 fF 変化の量子化誤差である 50 fF 未満の依存性をもつこと、すなわち 10000 ppm/V 及び $62.5\text{ ppm}/^\circ\text{C}$ 未満を目標とする。

2.2 従来研究の課題

CDC については多くの研究がされており、2.1 で述べた消費電力の条件 [2]~[4] と分解能の条件 [3]~[5] を満たす先行例も多い。しかし温度依存性 [2] や電源電圧依存性を考慮している研究は著者の知る限り 1 件しかなく、その 1 件では別途のキャリブレーション回路を用いて温度特性を調整しているため複雑な制御が必要になる。そこで、本研究では電源電圧と温度ばらつきにロバストな CDC を提案する。

3. チャージトランスファを用いたばらつきにロバストな CDC

本章ではばらつきにロバストな CDC を提案し、それに用いられるチャージトランスファ構造について詳述した上で、提案する CDC のもつ限界について述べる。

3.1 提案する CDC の概要

図 4 に提案する CDC の全体回路図を示す。測定対象の端子容量 C_x の大きさに応じて、カウンタ出力 Out が変化することにより CDC の機能を実現する。図 4 中の「チャージトランスファ」は端子容量 C_x の

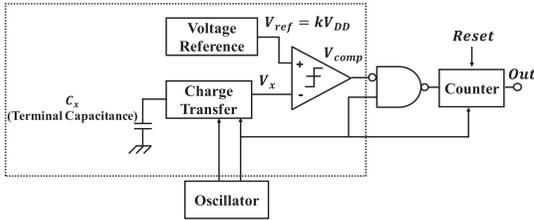


図 4 ばらつきにロバストな CDC
Fig. 4 CDC circuits robust to variations.

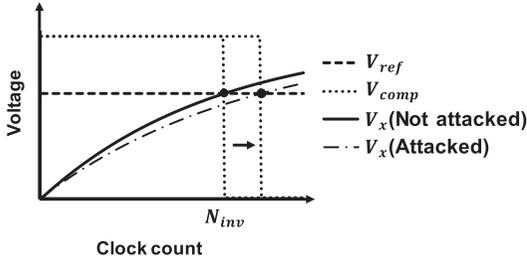


図 5 各部電圧の振る舞い
Fig. 5 Behavior of each voltage.

大きさに応じて、出力電圧 V_x の変化速度が変わる回路である。コンパレータの出力 V_{comp} は図 5 のように V_x が V_{ref} を超えたときに反転し、カウンタは V_{comp} が反転するまでクロック数 N を数える。 V_{comp} が反転したらそのときのクロック数 N_{inv} が Out としてデジタル回路に渡され、カウンタはリセットされる。端子が攻撃を受け端子容量 C_x が増加した場合 V_x の傾きが変化し、 V_{comp} が反転するまでのクロック数が増える。

3.2 チャージトランスファの動作

この節では前節で述べたチャージトランスファの動作について詳述する。チャージトランスファは図 6 のように複数のスイッチとポンプ容量 C_{pump} 、そして被検出容量 (本研究では端子容量) C_x で構成された回路であり、図 7 はチャージトランスファの各スイッチを制御する信号及び各部の電圧の時間変化のタイミングチャートである。

チャージトランスファは動作開始時に $V_x = 0$ である必要があるため、スイッチ S_{reset} は動作開始までオンになり C_x の電荷をリセットする。

動作が開始されると S_{reset} がオフになり C_x は電荷を蓄えられる状態になる。その状態でまず S_1 がオンになり C_{pump} を V_{DD} まで充電する。その後 S_1 をオフにし、次に S_2 をオンにすると C_{pump} に蓄えられて

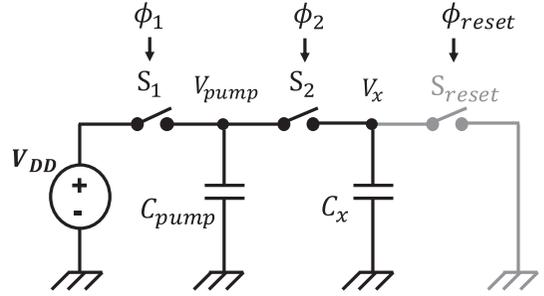


図 6 チャージトランスファ
Fig. 6 Charge transfer.

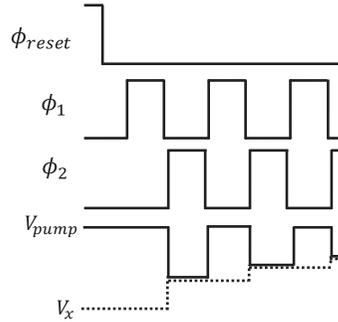


図 7 チャージトランスファのタイミングチャート
Fig. 7 Timing chart of charge transfer.

いた電荷が C_x に分配され V_x が上昇する。両容量の電位差がなくなったら S_2 をオフにし、再び S_1 をオンにして C_{pump} を V_{DD} に充電する段階に戻る。この一連の動作を繰り返すことにより図 7 のように V_x が階段状に上昇する。このとき V_x はリセット後のクロック信号の入力回数 N を用い式 (1) のように表現できる。

$$V_x = V_{DD} \left(1 - \frac{C_x}{C_x + C_{pump}} \right)^N \quad (1)$$

3.3 温度・電圧ばらつきに対する耐性

図 4 の CDC はチャージトランスファの出力 V_x が参照電圧 V_{ref} を超えコンパレータの出力が反転する瞬間の N である N_{inv} を出力する。 N_{inv} は式 (1) の左辺を V_{ref} に置き換えることで求め式 (2) のように V_{ref} 、 V_{DD} 及び各容量の関数になる。

$$N_{inv} = \frac{\log \left(\frac{V_{DD}}{V_{DD} - V_{ref}} \right)}{\log \left(1 + \frac{C_{pump}}{C_x} \right)} \quad (2)$$

そこで V_{ref} を kV_{DD} ($k < 1$) に設定すると N_{inv} は式 (3) のように C_{pump} と C_x の比のみに依存した関数になる。

$$N_{inv} = \frac{\log\left(\frac{1}{1-k}\right)}{\log\left(1 + \frac{C_{pump}}{C_x}\right)} \quad (3)$$

容量は抵抗やトランジスタと比べ低い温度特性をもつ上に、 N_{inv} は容量比によって決まるため、温度ばらつきに対してロバストである。また、 N_{inv} が V_{DD} によらないため、提案の CDC は電源電圧ばらつきに対してもロバストである。

4. 多段チャージトランスファによる分解能向上

本章では前章で提案した CDC の構造では目標としている分解能を実現できないことについて述べ、それを克服するための手法である多段チャージトランスファを説明する。

4.1 目標分解能実現の困難

本研究で目標としている分解能は 12 fF でありこの分解能を達成できる条件は式 (3) に以下のパラメータを代入することで求まる。参照電圧の V_{DD} に対する係数 k は最も簡単に設計できるように $\frac{1}{2}$ に設定した。それを代入した (3) の式と、右辺の C_x を $C_x + 12$ fF に、左辺の N_{inv} を $N_{inv} + 1$ にした式 (3) を連立して解けばポンプ容量 C_{pump} が 8.32 fF となる。しかし、 C_{pump} にはトランジスタの寄生容量の影響で下限が存在し 8.32 fF は実装することができない。なぜなら、どれだけ小さい容量を実装しても容量の両端のスイッチのトランジスタに起因する寄生容量 C_{para} が図 8 のように C_{pump} と並列接続になり、加算されるからである。今回用いた 250 nm CMOS プロセスでは寄生容量 C_{para} は 10 fF のオーダーをもつが、 C_{pump} のオーダーがそれ以下になると、 C_{para} の値が支配的になるため 8.32 fF の C_{pump} を実装することは不可能である。

4.2 多段チャージトランスファ

スイッチの寄生容量を完全になくすることはできないため、 C_{pump} は寄生容量の影響を受けにくい大き

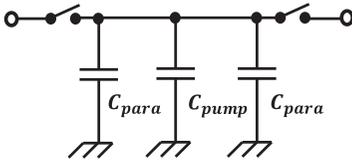


図 8 ポンプ容量に対する寄生容量の影響

Fig. 8 Influence of parasitic capacitance on pump capacitance.

さにする必要があり、本研究ではポンプ容量の下限を 100 fF と仮定した。100 fF 以上の容量のみを用いて $C_{pump} = 8.32$ fF のチャージトランスファと同じ分解能を得るために考案した手法が図 9 の多段チャージトランスファである。多段チャージトランスファは複数段のポンプ容量を用い、多数の容量を経由して被検出容量 C_x を充電するようにしたチャージトランスファである。奇数段目と偶数段目のスイッチを交互に開閉することによって電源に近い容量 C_{pump1} から遠い方の容量 C_x に電荷が転送されていく。

以下で多段チャージトランスファの等価回路を議論する。多段チャージトランスファを解析するために図 10 のように多段チャージトランスファの途中の容量三つにのみ着目する。便宜上リセットスイッチは省略されており、容量の名前は電源に近い方から順に C_{m-1} , C_m , C_{m+1} とする。スイッチ S_{m-1} と S_m は図 7 の ϕ_1 と ϕ_2 のいずれかによって制御されている。クロック周波数は f であるため、周期 $\Delta t = \frac{1}{f}$ ごとに一度開閉し、そのタイミングが互いに $\frac{\Delta t}{2}$ ずれているとする。スイッチ S_{m-1} が一度閉じてから開いた直後である時刻 t における電圧 $V_m[t] = V_{m+1}[t]$ である。ここから $\frac{\Delta t}{2}$ 後、 S_{m-1} が一度閉じてまた開いた後には C_{m-1} と C_m の間で電荷の分配が行われ、式 (4) の関係が成り立つ。

$$\begin{aligned} V_{m-1}\left[t + \frac{\Delta t}{2}\right] &= V_m\left[t + \frac{\Delta t}{2}\right] \\ &= \frac{C_{m-1}V_{m-1}[t] + C_mV_m[t]}{C_{m-1} + C_m} \end{aligned} \quad (4)$$

そこからまた $\frac{\Delta t}{2}$ が経ち、 S_m が一度動作した後 C_{m+1} に流れ込んだ電荷量 ΔQ_{m+1} を考える。時刻 $t + \Delta t$ における $V_{m+1}[t + \Delta t] = V_{m+1}[t] + \Delta V_{m+1}$ とすると ΔQ_{m+1} は式 (5) のように求まる。

$$\begin{aligned} \Delta Q_{m+1} &= -\Delta Q_m \\ &= C_mV_m\left[t + \frac{\Delta t}{2}\right] - C_mV_m[t + \Delta t] \\ &= C_m\left(\frac{C_{m-1}(V_{m-1}[t] - V_{m+1}[t])}{C_{m-1} + C_m} - \Delta V_{m+1}\right) \end{aligned} \quad (5)$$

この電荷量を時間 Δt で割るとその間の平均電流 \hat{I} となり、平均電流は両端の電圧差と等価抵抗 \hat{R} を用いて式 (6) のように表すことができる。

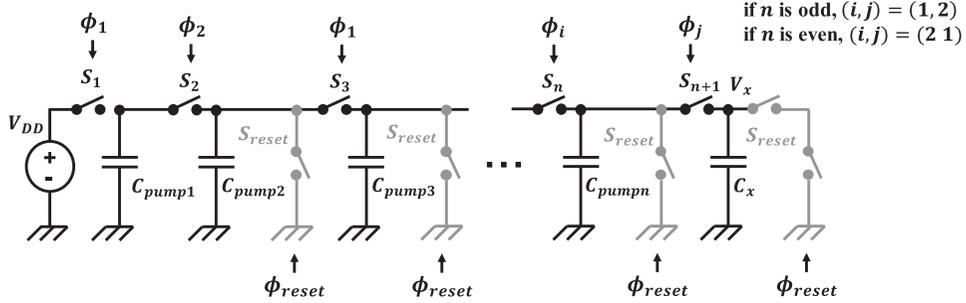


図9 提案する多段チャージトランスファ
Fig. 9 Proposed multi-stage charge transfer.

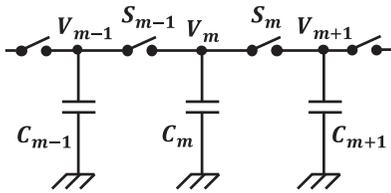


図10 多段チャージトランスファの一部
Fig. 10 A part of multi-stage charge transfer.

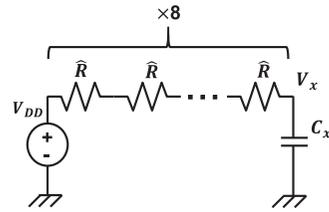


図11 15段チャージトランスファの等価RC回路
Fig. 11 Equivalent RC circuit to 15-stage charge transfer.

$$\hat{I} = \frac{\Delta Q_{m+1}}{\Delta t} = \frac{V_{m-1}[t] - V_{m+1}[t]}{\hat{R}} \quad (6)$$

本研究のターゲットは $C_{pump} = 8.32 \text{ fF}$ で $C_x = 10 \text{ pF}$ のチャージトランスファと同等な動きをする回路であり、電圧の変化は緩慢で ΔV_{m+1} は V_{DD} の $\frac{1}{1000}$ 程度のオーダーになると考えられる。それに比べ、ポンプ容量のオーダーは 100 fF 程度であり、 $\frac{C_{m-1}(V_{m-1}[t] - V_{m+1}[t])}{C_{m-1} + C_m}$ は V_{DD} の $\frac{1}{10}$ 程度のオーダーであるため 1% 程度の誤差で $\frac{C_{m-1}(V_{m-1}[t] - V_{m+1}[t])}{C_{m-1} + C_m} \gg \Delta V_{m+1}$ が成り立つ。このことを踏まえた上で式 (5) を式 (6) に代入し \hat{R} を求めると式 (7) で求められる。その過程で $\Delta t = \frac{1}{f}$ であることを用いた。

$$\hat{R} = \frac{1}{f} \frac{C_{m-1} + C_m}{C_{m-1} C_m} \quad (7)$$

$C_{m-1} = C_m = C_{m+1} = C$ の場合は $\hat{R} = \frac{2}{fC}$ となり電圧源を両端にもつスイッチトキャパシタの2倍の抵抗に近似できることが分かる。

以上のことを検証するために多段チャージトランスファと等価RC回路の数値解析を行った。多段チャージトランスファの方は図9の回路において $n = 15$, $C_{pump1} = C_{pump2} = \dots = C_{pump15} = 100 \text{ fF}$ とした15段チャージトランスファを 1 MHz の信号で

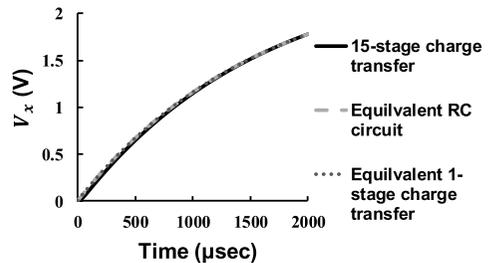


図12 15段チャージトランスファ(図9)と等価RC回路(図11)及び等価1段チャージトランスファ(図6)の比較

Fig. 12 Comparison between 15-stage charge transfer (Fig. 9), equivalent RC circuit (Fig. 11), and equivalent 1-stage charge transfer (Fig. 6).

制御した場合で、RC回路は図11のように等価抵抗 $\hat{R} = \frac{2}{fC} = 20 \text{ M}\Omega$ を八つ直列で用いたRC回路である。図12に計算結果を示す。どちらも $C_x = 10 \text{ pF}$, $V_{DD} = 2.5 \text{ V}$ と設定し V_x を比較した。また、それがどのような1段のチャージトランスファに相当するかを示すため図6において $C_{pump} = \frac{1}{f\hat{R}} = 6.25 \text{ fF}$ とし他のパラメータは15段チャージトランスファと同じにした場合の V_x も加えた。

系の電圧変化が急激な時間 = 0 付近において15段

チャージトランスファの電圧波形がわずかな誤差を見せるものの、時間が長くなるにつれ二つの電圧波形はほぼ完全に一致し、2000 μs における相対誤差は互いに0.1%程度である。

以上の結果から多段チャージトランスファを用いることで、任意の小さい C_{pump} をもつ1段のチャージトランスファと同等の動きを実現することができ、分解能を向上させられることが実証された。

4.3 多段チャージトランスファの最適設計条件

多段チャージトランスファにおいて下限のあるポンプ容量を n 個用いて最も効率良く小さい C_{pump} を実現する方法は、下限の大きさ（本研究では100 fF）の容量のみを用いることである。なぜならそれは上限のある抵抗 n 個を用い最も大きい抵抗を作る場合に置き換えることができ、その場合用いられる最大の抵抗を直列に接続することが最善だからである。

4.4 多段チャージトランスファを用いた提案 CDC

4.2 で詳述した多段チャージトランスファを用いた CDC を図 13 に示しており、これは図 4 における枠線の内部に相当する。多段チャージトランスファのパラメータ 4.2 で数値解析を行った回路と同様 $C_{pump1} = C_{pump2} = \dots = C_{pump15} = 100 \text{ fF}$ の15段に決めた。等価的な $C_{pump} = 6.25 \text{ fF}$ となり寄生容量が付くことを考慮し目標仕様の8.32 fFより小さく設計した。

参照電圧 V_{ref} と V_x を比較するためのコンパレータ

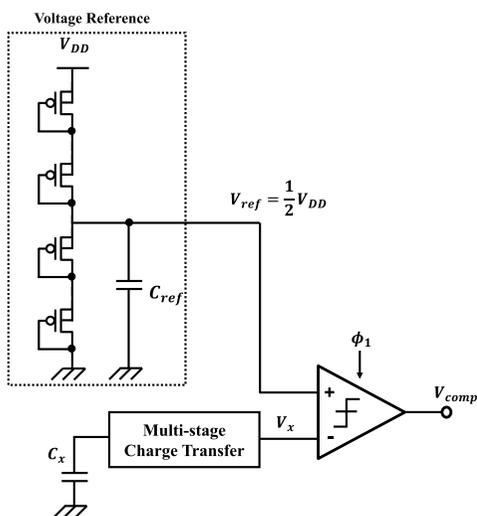


図 13 多段チャージトランスファCDC
Fig. 13 CDC with multi-stage charge transfer.

には消費電力を抑えるため同期式コンパレータを採用しており、 V_x が安定している状態で比較を行うために奇数番目のスイッチと同じクロックで制御を行う。コンパレータにVTばらつきを抑制するための特別な設計は施していないが、片方の出力端にのみバッファが接続されることによってオフセットが大幅にずれることを防ぐため、使われない出力端にもダミーのバッファを接続させている。

参照電圧 V_{ref} は前述のとおり最もシンプルな構成で実現できる $\frac{1}{2}V_{DD}$ に決めており、定常電流をなるべく小さくするためにサブスレッショルド領域で動作するダイオードで構成される分圧回路を用いた。また、8 pF の容量 C_{ref} でノイズによる V_{ref} の変動を抑える。

5. 提案回路の実測結果

図 13 の多段チャージトランスファ容量変化検出回路の試作チップを製造し測定した結果を述べる。試作チップは0.25 μm CMOS プロセスによって製造された。図 14 は試作したチップ写真であり、チップ面積は710 $\mu\text{m} \times 772 \mu\text{m}$ となった。

5.1 測定条件

試作チップは電源電圧を2.5 V、制御クロック周波数は1 MHz に設定し測定を行った。測定誤差を把握するためにコンパレータの出力が反転するまでのスイッチ開閉回数 N_{inv} は1000回の繰り返し測定を行い、その平均値を求めた。その結果、測定 N_{inv} の標準偏差は0.3未満であり、十分小さかった。

5.2 提案 CDC の電圧ばらつき耐性

最初に提案した CDC の電圧ばらつきに対する耐性を測定した。IoT 端末上における電源電圧の変動幅である $V_{DD} \pm 10\%$ の範囲、すなわち2.25 V ~ 2.75 V の

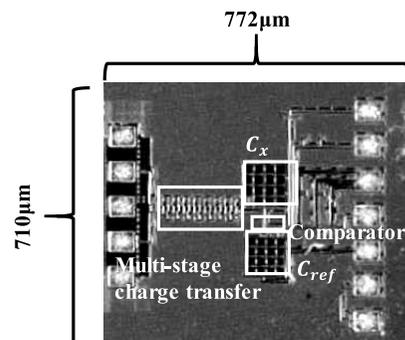


図 14 試作のチップの写真
Fig. 14 Chip micrograph of test chip.

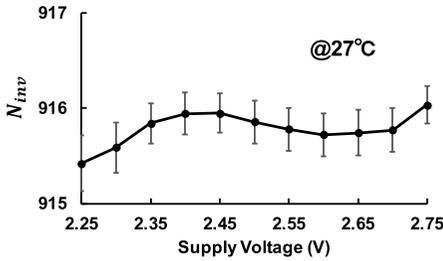


図 15 試作チップの電圧依存性の測定

Fig. 15 Measured voltage dependence of test chip

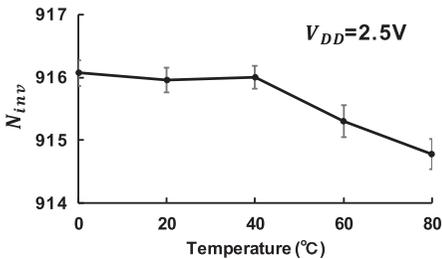


図 16 試作回路の温度依存性の測定

Fig. 16 Measured temperature dependence of TEG.

範囲において 0.05 V 刻みでコンパレータの出力が判定するときのクロックカウンタ数 N_{inv} の測定を行った。その結果を図 15 に示す。温度は 27°C に一定に維持した。

2.25~2.75 V の電圧範囲において -0.4~0.2 カウンタの N_{inv} の差が生じ、1404 ppm/V の電圧特性が見られ、目標仕様を達成できた。

5.3 提案 CDC の温度ばらつき耐性

端末が 0°C から 80°C までの範囲で動作すると想定し、その範囲内で 20°C ごとに N_{inv} の測定を結果が図 16 である。電源電圧は 2.5 V に維持した。測定結果では、0~80°C の範囲でカウンタは -0.1~1.1 変化し 17.6 ppm/°C の温度特性をもち目標仕様を達成できた。

5.4 提案 CDC の分解能の測定

提案した CDC の分解能を確かめるため、10 pF の C_x が 1% 変化したときの N_{inv} の変化の測定を行った。今回試作したチップでは被検出容量 C_x にあらかじめ 100 fF 容量を並列につなげた回路を用意し、レーザーで 100 fF の容量をトリミングする前後での N_{inv} を測定し容量変化検出能力を検証した。

測定の結果、 $C_x = 10$ pF のときの $N_{inv} = 876.8$ 、 $C_x = 10.1$ pF のときの $N_{inv} = 885.3$ となり、100 fF

表 1 回路各部の消費電力の測定

Table 1 Measured power consumption of each part.

Part	Power consumption
All	3.89 μ W
Charge transfer	2.87 μ W
Reference voltage	Less than 2.5 nW
Comparator	1.02 μ W

の変化がクロック差 8.5 カウンタで表れ、分解能は 11.7 fF であり、目標仕様を達成した。

5.5 消費電力及びエネルギー

試作回路の消費電力の測定結果を表 1 にまとめる。

回路全体の消費電力は 3.89 μ W であり、そのうち 74% をチャージトランスファが、そして残り 26% をコンパレータが消費しており参照電圧生成回路は他と比べほぼ電力を消費していない。また、1 回の検出ごとに消費されるエネルギーは 3.56 nJ である。

6. むすび

本研究では IoT 端末の端子に直接プローブを当てるような物理的な攻撃に対し、端子容量を監視しその 1% の変化を検出する回路を提案し、そこに必要はばらつきにロバストな CDC の検討を行った。最初に従来の CDC は IoT 端末上で運用するにはばらつきに対する耐性が低く、新しい CDC の提案が必要であることを述べた。次にチャージトランスファ構造の用いた CDC の原理を解説し、チャージトランスファが電圧と温度ばらつきに対しロバストであることを解説した。そして単純な 1 段のチャージトランスファのもつ分解能の限界を克服するための手法である多段チャージトランスファを提案し、大きさ C の容量で構成される n 段のチャージトランスファが $C_{pump} = \frac{C}{n}$ の 1 段のチャージトランスファに近似できることを示した上で、多段チャージトランスファを用いた CDC の概要を述べた。

4. では多段チャージトランスファを用いた容量変化検出回路を試作しその測定を行った。試作回路の測定結果では 2.25~2.75 V の電源電圧範囲において 1404 ppm/V の電圧特性を、0~80°C の温度範囲において 17.6 ppm/°C の温度依存性をもつことが分かった。表 2 の従来研究と比べ、別途のキャリブレーションを用いない場合では最高のばらつき耐性を示しており、100 fF の検出に必要なばらつき耐性の目標を達成した。分解能は目標仕様の 12 fF を達成し、多段チャー

表 2 従来研究との比較
Table 2 Comparison with conventional research.

	ISSCC15[2]	ISSCC14[3]	JSSC13[4]	VLSI14[5]	本研究
プロセス	40nm	0.18 μm	0.16 μm	0.18 μm	0.25 μm
規格化面積 (mm^2)***	0.066	0.22	0.68	0.88	0.17
消費電力(μW)	1.84	0.16	10.3	33.7	3.89
消費エネルギー(nJ)	0.0351	0.64	8.26	7.75	3.56
検出時間(msec)	0.0191	4	0.8	0.23	0.916
電圧特性(ppm/V)	N/A	N/A	N/A	N/A	1404 (2.25 $^{\circ}$ 2.75V)
温度特性(ppm/ $^{\circ}$ C)	15.5 校正あり 2247 校正なし (-20 $^{\circ}$ 100 $^{\circ}$ C)	N/A	N/A	N/A	17.6(0 $^{\circ}$ 80 $^{\circ}$ C)
分解能(FF)	12.3	6	0.07	0.16	11.8
備考	電特が生じる 可能性 検出にデジタル 演算が必要 温度特性解消 に校正が必要	電特・温特 の可能性 動作時間が 長い	電特・温特 の可能性 $\Sigma\Delta$ は設 計・制御が 複雑	電特・温 特の可能 性	シンプルな構 造 簡単な制御 高バランキ耐 性

ジトランスファが1段の限界を超え分解能の向上を実現できることを示した。消費電力と1回の検出ごとの消費エネルギーは3.89 μW と 3.56 nJ であり, IoT 端末上で十分運用できるほどの低消費電力を達成できた。

文 献

- [1] D. Fujimoto, N. Miura, M. Nagata, Y. Hayashi, N. Homma, Y. Hori, T. Katashita, K. Sakiyama, T. Le, J. Bringer, P. Bazargan-Sabet, and J. Danger, "On-chip power noise measurements of cryptographic VLSI circuits and interpretation for side-channel analysis," Proc. International Symposium on Electromagnetic Compatibility 2013, pp.411–414, Sept. 2013.
- [2] W. Jung, S. Jeong, S. Oh, D. Sylvester, and D. Blaauw, "A 0.7pF-to-10nF fully digital capacitance-to-digital converter using iterative delay-chain discharge," ISSCC Dig. Tech. Papers, pp.484–485, Feb. 2015.
- [3] H. Ha, D. Sylvester, D. Blaauw, and J. Sim, "A 160nW 63.9fJ/conversion-step capacitance-to-digital converter for ultra-low-power wireless sensor nodes," ISSCC Dig. Tech. Papers, pp.220–221, Feb. 2014.
- [4] Z. Tan, R. Daamen, A. Humbert, Y.V. Ponomare, Y. Chae, and M.A.P. Pertijis, "A 1.2-V 8.3-nJ CMOS humidity sensor for RFID applications," JSSC, vol.48, no.10, pp.2469–2477, Aug. 2013.
- [5] S. Oh, W. Jung, K. Yang, D. Blaauw, and D. Sylvester, "15.4b incremental sigma-delta capacitance-to-digital converter with zoom-in 9b asynchronous SAR," IEEE Symp. VLSI Circuit, pp.222–223, July 2014.

付 録

一部内容の補足

- 4.2 における抵抗近似ではスイッチ二つごとに一つの抵抗とみなすため, 15 段チャージトランスファ

のスイッチの数 16 を 2 で割った数 8 が抵抗の数になる。

- 1 段のチャージトランスファを図 10 に当てはめた場合 C_{m-1} が電流源であるため $C_{m-1} = \infty$ となる。その場合等価抵抗 \hat{R} は $\frac{2}{fC}$ ではなく $\frac{1}{fC}$ である。

- 0.25 μm プロセスを用いた場合の面積に規格化している。

(平成 29 年 2 月 10 日受付, 5 月 2 日再受付,
9 月 12 日公開)



バック ジフン (学生会)

2017 年, 東京大学大学院工学系研究科電気系工学専攻修士課程を修了。現在, 韓国電子通信研究所にて 5G 通信の研究に従事。



高宮 真 (正員)

2000 年, 東京大学大学院工学系研究科電子工学専攻博士課程修了。同年 NEC 入社。2005 年より東京大学にて LSI 設計の研究に従事。ISSCC 及び VLSI 回路シンポジウムのプログラム委員。



桜井 貴康 (正員:フェロー)

1981 年, 東京大学電子工学専攻博士課程を修了し, 同年 (株) 東芝入社。1988 年から 1990 年まで U.C. Berkeley にて LSI-CAD の研究, その後 (株) 東芝への帰任を経て, 1996 年よりは東京大学生産技術研究所にて LSI 設計の研究に従事。現在 VLSI シンポジウム Executive 委員長, IEEE A-SSCC Steering 委員長。IEEE, 日本応用物理学会会員。IEICE フェロー, IEEE フェロー。